

Быстростираемая память Создаются новые схемы

М. Шурыгина

Внимание создателей новейших портативных средств связи, портативной вычислительной и бытовой техники все больше привлекают схемы быстростираемой памяти, характеризующиеся высокой плотностью записи информации, малой потребляемой мощностью и энергонезависимостью. И хотя на развитие технологии таких схем требуются большие капиталовложения, крупные полупроводниковые фирмы, стремясь утвердиться на этом перспективном рынке, ведут активные работы по совершенствованию существующих схем и созданию устройств с новыми архитектурами.

Выпущенные в начале 90-х годов быстростираемые РПЗУ (БРПЗУ) за-воевывают прочные позиции на рынке схем памяти. И хотя прогнозируемый на 1996 год объем их продаж (2,3млрд. долл.) составляет всего 4% от мирового рынка МОП ЗУ, совокупные темпы прироста продаж до 2000 года, согласно прогнозам фирмы ICE, будут самыми высокими на рынке схем памяти (рис. 1). В результате ожидается, что объемы продаж быстростираемых схем памяти к 2000 году увеличатся по сравнению с 1996 годом почти в три раза и составят 5,8млрд. долларов.

Небольшие энергонезависимые схемы быстростираемой памяти с низкой потребляемой мощностью сейчас применяются в автомобильной электронике, компьютерах, цифровых системах сотовой связи, цифровых фото- и видеокамерах и магнитофонах. Интерес к ним проявляют изготовители портативной вычислительной техники, которые надеются использовать их в накопителях большой емкости. Правда, по мнению специалистов фирмы Toshiba, такие накопители на базе схем быстростираемой памяти появятся только в конце столетия, поскольку их создание будет экономически оправдано лишь в случае применения схем емкостью 64 Мбит, массовое производство которых начнется не ранее 1997 года.

В настоящее время большая часть отгружаемых схем быстростираемой памяти представляет собой устройства емкостью 1 М и 4 Мбит (рис. 2). Активно разворачиваются работы по созданию схем емкостью 64 М и даже 128 Мбит. К концу десятилетия, по мере расширения применения этих схем в сложном оборудовании, отгрузки схем емкостью 16 Мбит и более будут возрастать.

Лидерами на рынке схем быстростираемой памяти являются фир-

мы Intel (50% объема продаж схем быстростираемой памяти в 1995 году) и AMD (30% в 1995 году), которые далеко продвинулись по «криевой обучения». Остальные изготовители схем памяти такого типа (в том числе Atmel, Fujitsu, Hitachi, Micron, Mitsubishi, Samsung, SGS-Thomson и Toshiba) только начинают свою деятельность в этой области, хотя некоторые из них уже достигли ощущимых успехов в совершенствовании этой технологии. Основными факторами, сдерживающими выход поставщиков ИС на данный сектор рынка, являются отсутствие необходимых технологических наработок и финансовых средств. Этим объясняется и тот факт, что в список поставщиков схем быстростираемой памяти входят фирмы с прочной финансовой базой, квалифицированным научно-исследовательским персоналом и большими производственными мощностями. Для обеспечения высоких темпов прироста изготовители схем быстростираемой памяти должны преодолеть три препятствия, а именно выбрать архитектуру, снизить напряжение питания и расширить производственные мощности.

Архитектура. До последнего времени существовали два основных типа архитектуры — NOR и NAND, изготавливаемые на базе технологии, разработанной для предшествующих схем программируемых ПЗУ — ППЗУ с электрической перезаписью (ЭП-ПЗУ) и электрически стираемых ППЗУ (ЭСППЗУ). Общим для обеих архитектур быстростираемой памяти является использование в качестве накопительного элемента МОП транзистора с плавающим затвором, но методы объединения ячеек памяти этих двух типов схем различен.

Наиболее распространены схемы быстростираемой памяти с NOR-архитектурой, которые выпускаются

двумя крупнейшими изготовителями этих схем: Intel и AMD. Схемы с NAND-архитектурой разрабатываются совместно фирмами Toshiba, National Semiconductor и Samsung.

В последнее время появились схемы быстростираемой памяти с новыми архитектурами типа DINOR (NOR с разделенной разрядной шиной) и AND совместной разработки фирм Mitsubishi и Hitachi. Первая опытная схема с DINOR архитектурой емкостью 16Мбит была выпущена фирмой Mitsubishi в 1995 году. Она характеризовалась высоким быстродействием схем NOR-типа и присущими схемам NAND-типа малыми размерами ячейки памяти и возможностью работы от одного источника питания (в том числе и на малое напряжение). Разработчики считают, что схема найдет применение во внешней памяти для ПК плат, в блоках памяти электронных фотокамер и устройствах хранения кода портативных радиотелефонов.

Новая схема имеет такую же однотранзисторную организацию ячейки памяти, что и обычная схема NOR-типа. Однако в отличие от последней соединительные линии ее выполнены не на базе металлических пленок, а из поликристаллического кремния. Это позволило уменьшить размеры контактных площадок и, следовательно, размер ячейки памяти на 30%, в результате чего по этому параметру схема оказалась сопоставимой со схемами NAND-типа. Поскольку поверхностное сопротивление поликремниевых соединительных линий велико, разработчики разделили разрядные шины на основе этих линий на короткие сегменты, что и дало название новому типу быстростираемой памяти — DINOR.

Новая схема работает от одного источника питания на напряжение 3,3В. Для этого в отличие от обычных NOR-схем, в которых для заряд-

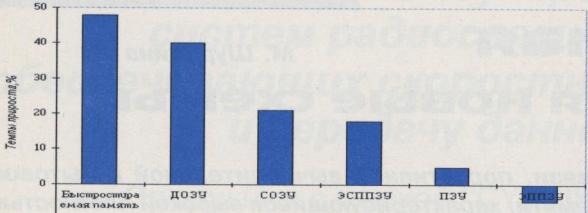


Рис. 1. Среднегодовые темпы прироста объема продаж схем памяти в 1992-2000 гг.

ки изолированного затвора используется миграция горячих электронов, а для разрядки — туннельный эффект, оба процесса осуществляются за счет туннельного эффекта. Поскольку при этом нет нужды в больших значениях токов и напряжений, существенно уменьшаются механические нагрузки на окисный слой. В результате износостойчивость нового ЗУ достигает минимум 100тыс. циклов записи стирания на блок.

Схема быстростираемой памяти DINOR-типа выполнена по 0,5мкм технологии и занимает площадь кристалла 76,9мм². Она состоит из 32 репрограммируемых блоков емкостью 64Кбайт каждый. Кроме того, на кристалле со схемой расположен страничный буфер, обеспечивающий пропускную способность памяти при записи 256Кбит/с. Минимальное время выборки схемы равно 80нс, время стирания — 1мс.

Фирма Mitsubishi Electronic America в конце 1995 года начала опытные поставки новой схемы типа M5M29F016, смонтированной в малогабаритный 48-выводной корпус TSOP-типа или 44-выводной корпус SOP-типа. Цена схемы — от 80 до 100 долл. В III квартале 1996 года планируется начать опытные поставки схемы быстростираемой памяти DINOR-типа (также совместной разработки двух фирм) емкостью 64Мбит. В соответствии с договором фирма Hitachi будет вторым поставщиком новой схемы. Разработчики фирмы надеются в будущем уменьшить напряжение питания до 2,7В.

Представленная на Международной конференции по твердотельным схемам (ISSCC) 1996 года схема быстростираемой памяти емкостью 64Мбит AND-типа фирмы Hitachi предназначена для применения в карточках быстростираемой памяти с последовательным доступом. Для минимизации размеров ячейки и снижения перегрузок при считывании

запасных ячеек и встроенное низковольтное устройство считывания Х-декодера.

Схема имеет организацию 8М x 8бит. Матрица ячеек памяти разделена на секторы емкостью 512байт, время записи или стирания которых равно 1мс. Считывание данных занимает 5мкс на доступ к исходной позиции и 33нс на передачу каждого считываемого байта.

На базе AND-архитектуры разработчики фирмы Hitachi создали экспериментальную схему быстростираемой памяти емкостью 128Мбит, изготовленную по 0,25 мкм технологии, расположенную на кристалле площадью 105,9мм² и работающую от одного источника питания на напряжение 2,5В. Мощность, потребляемая схемой при считывании данных (время считывания около 500нс), равна 62,5мВт. В схеме используется маломощный (на ток 5мкА) динамический генератор, позволяющий получать напряжение программирования в диапазоне 10—2В. Генератор выполнен на базе биполярных транзисторов, изготовленных в тройном кармане.

Фирмы Mitsubishi и Hitachi надеются, что в будущем на долю схем с новыми архитектурами DINOR и AND-типа придется 10% продаж быстростираемой памяти. Однако специалисты фирмы Intel отнеслись к сообщению о выпуске схем с новой архитектурой скептически. По их мнению, процесс изготовления такой архитектуры более сложен, чем обычной схемы NOR-типа, требующей формирования карманов *p* и *n*-типов. Скорость записи с помощью туннельного эффекта меньше, чем в обычных схемах, но получаемое в ре-

зультате применения страничного буфера уменьшение размеров и потребляемой мощности незначительно по сравнению с NOR-схемами. NOR-схемы быстростираемой памяти фирмы Intel следующего поколения, изготовленные с 0,4 мкм топологическими нормами и с самосовмещенными контактными площадками, по размерам ячеек памяти будут сопоставимы с новой DINOR-схемой.

Не собираются сдавать свои позиции и приверженцы схем быстростираемой памяти с NAND-архитектурой. Так, на конференции ISSCC 1996 года специалисты фирмы Samsung доложили о создании схем такого типа емкостью 128Мбит с

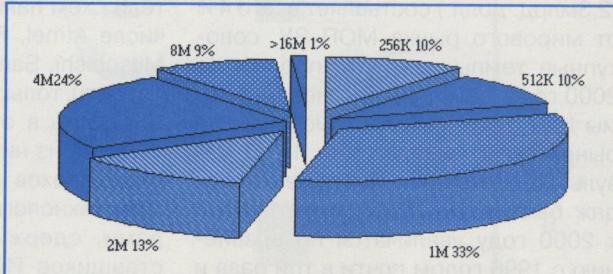


Рис. 2. Структура отгрузок схем быстростираемой памяти в зависимости от их емкости

Объем отгрузок в 1995 г.(оценка)-232 млн.штук

многоуровневой структурой, позволяющей записывать в каждую ячейку памяти два двоичных разряда. Это позволило, по сравнению с обычной NAND архитектурой, уменьшить число ячеек в два раза. Схема, изготовленная по 0,4 мкм технологии, размещается на кристалле размером 7,11 x 16,46мм. При работе от одного источника питания на напряжение 3,3В скорость считывания данных равна 14Мбайт/с, скорость записи — 500 Кбайт/с.

Многоуровневая запись обеспечена за счет тщательной регулировки порогового напряжения транзистора ячейки, в которую записываются данные. С этой целью используется алгоритм импульса записи с малым (0,2В) пошаговым приращением. При этом запись данных в страницы блока памяти осуществляется в строго заданном порядке — двигаясь от ячейки в конце последовательности к начальной, ближайшей к контакту разрядной шины. Это позволяет существенно снизить нарушения записи, возникающие из-за влияния процесса записи данных в

Таблица 1

Архитектуры схем быстротиаемой памяти

Архитектура	NOR	DINOR	NAND	AND
Метод программирования	Инжекция горячих носителей	Туннельный ток	Туннельный ток	Туннельный ток
Метод стирания	Туннельный ток	Туннельный ток	Туннельный ток	Туннельный ток
Возможные источники питания: один на 3 В один на 5 В два на 5/12 В	Трудно Да Да	Да Нет Нет	Да Да Да	Да Нет Нет
Размер кристалла (относительно схемы NOR-типа)	1	0,8	0,9	0,8
Приемлемые области применения (в зависимости от емкости): от 1М до 4М	Базовые системы ввода/вывода, замена ЭППЗУ, средства связи	Применений нет	Базовые системы ввода/вывода, замена ЭППЗУ, средства связи	Применений нет
от 8М до 16М	Персональные цифровые помощники, сотовые системы связи, сетевые системы	Персональные цифровые помощники, сотовые системы связи, сетевые системы	Персональные цифровые помощники, сотовые системы связи, сетевые системы	Применений нет
от 32М до 256 М	Применений нет	Применений нет	Электронные карточки большой емкости	Электронные карточки большой емкости

одну ячейку на состояние другой.

В табл. 1 приведено сравнение схем быстротиаемой памяти различных типов, а в табл. 2 – поставщики этих схем.

Напряжение питания. Другая проблема, которую необходимо решить поставщикам схем быстротиаемой памяти, заключается в выборе варианта с одним или двумя источниками питания и реализации изделий, работающих при низких значениях напряжения питания. Потребители отдают предпочтение устройствам с одним источником питания. Это значит, что наиболее высокие темпы прироста объема продаж ожидаются для изделий, работающих от источника питания на напряжение 5В, которые в 1996 году будут вытеснять оборудование на базе 12В приборов (рис.3).

Фирма Intel до последнего времени не придавала большого значения проблеме создания схем с одним источником питания. Однако сейчас она поддерживает разработку схем по технологии, названной SmartVoltage (разумное напряжение) и позволяющей изготавливать схемы быстротиаемой памяти с напряжением считывания 3 или 5В и напряжением стирания/записи 5 или 12В. Введя в строй технологическую

Таблица 2
Поставщики схем быстротиаемой памяти различной архитектуры

NOR	NAND	AND	DINOR
Intel Fujitsu Texas Instruments Micron SGS-Thomson Macronix UMC	National Semiconductor Samsung Toshiba	Hitachi Mitsubishi	Mitsubishi Hitachi

Примечание. Фирма Winbond использует запатентованную архитектуру с «расщепленным затвором»

линию SmartVoltage, фирма практически признала рынок схем быстротиаемой памяти, работающих от одного источника питания.

По прогнозам фирмы ICE, рынок схем быстротиаемой памяти на напряжение 5В будет характеризоваться устойчивым и большим приростом объема продаж до 2000 года. До конца столетия, ожидается и увеличение объема продаж схем на напряжение 3В.

Производственные мощности. В 1995 году предпринимались зна-

чительные усилия по выравниванию соотношения «спрос–предложение», для чего многие поставщики ИС либо вводили в строй новые мощности по производству схем быстротиаемой памяти, либо объявляли о намерении увеличить объем выпуска этих схем. Так, фирма Intel планировала в 1996 году увеличить объем производства схем быстротиаемой памяти на заводе №7 в Нью Мексико на 25%, а в IV кв. 1996 года на заводе №9 также в Нью Мексико начать выпуск этих схем, изготавливаемых на пластинах диаметром 200мм по 0,4мкм технологии. Кроме того, фирма инвестировала 1 млрд.

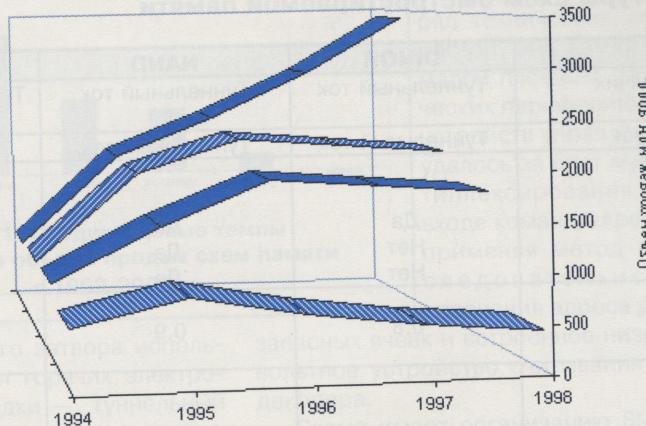


Рис.3. Объемы продаж схем быстротиремой памяти
(в зависимости от напряжения питания)

долл. на строительство завода в Кирьят Гат, Израиль, по производству схем быстротиремой памяти с 0,25 мкм нормами. Начало производства

планируется на IV кв. 1997 года. При выходе на проектные мощности объем производства схем быстротиремой памяти фирмы Intel увели-

чится по сравнению с 1995 годом на 350%.

Тем временем большой интерес к схемам быстротиремой памяти проявляют тайваньские фирмы. Во второй половине 1995 года по крайней мере четыре из них (Formosa Chemical & Fibre, Macronix, UMC и Winbond) объявили о намерении начать или расширить свою деятельность на рынке схем быстротиремой памяти. Несмотря на конкуренцию тайваньские фирмы намерены захватить лидирующие позиции на бурно развивающемся рынке быстротиремых ЗУ.

*Electronic Design, 1996,
v.44, N4, pp.89,90*

JEI, 1996, v.43, N2, pp.14

STATUS 95, pp.7-18 - 7-28

*Electronic Engineering
Times, 1995, N7*

14-разрядный ЦАП на частоту 100 МГц

ДАЙДЖЕСТ

Разработанный на фирме Harris Semiconductor 14-разрядный цифро-аналоговый преобразователь на частоту 100МГц может привести к изменению конструкции стационарных станций сотовых телефонов. Быстродействия схемы достаточно, чтобы генератор промежуточной частоты мог быть выполнен в передатчике станции. Отношение мощностей многотоновых сигналов, равное 70 дБ относительно пиковой мощности на несущей для 10 тональной системы, обеспечивает мультиплексирование до 20 звуковых каналов в одну схему промежуточной частоты.

По утверждению разработчиков, новая ИС позволит создать многорежимные цифровые передатчики, способные одновременно работать с потоком информации в AMPS и GSM стандартах, и обойтись без нескольких параллельно включенных схем ПЧ в передатчиках стационарных станций.

В цифровых стационарных станциях сотовых систем связи для объединения сигналов несущей и звуковой частот, поступающих по нескольким каналам, обычно используется ЦОС процессор, преобразующий эти сигналы в объединенный сигнал промежуточной частоты путем обработки 100 Мвыворок/с. Этот поток данных с помощью ЦАП преобразуется в аналоговый сигнал ПЧ. До сих пор разрешение ЦАП со столь высоким быстродействием не превышало 10—12 бит, что не позволяло вводить в сигнал ПЧ более одного сигнала звуковой частоты.

По утверждению разработчиков, ключевыми параметрами нового ЦАП, обеспечивающими объединение в сигнале ПЧ до 200 сигналов на НИ поднесущих, являются низкие коэффициент перекрестных полей (70дБ относительно пиковой мощности на несущей частоте) и энергия помех (1 пВ при наихудших условиях передачи). Последний параметр ограничивает свободный от ложных сигналов динамический диапазон системы. Благодаря таким характеристикам энергия, излучаемая ЦАП вне пределов своей полосы пропускания, мала. Это и позволяет объединять 10 или 20 поднесущих, не превышая отношение сигнал—шум, необходимое для захвата портативным сотовым телефоном передаваемого станцией сигнала на своей частоте.

Для обеспечения требуемой высокой частоты схема 14-разрядного ЦАП выполнена по БИКМОП технологии, объединяющей ЭСЛ ядро преобразователя с биполярными переключателями резисторной схемы и КМОП кольцевой схемой сопряжения. Чтобы получить высокое разрешение ЦАП, специалисты фирмы Harris разработали алгоритмы лазерной подгонки резисторной схемы, обеспечивающие высокую прецизионность операции. По сложности этот этап сопоставим с разработкой самой схемы. Правда, часто приводимое значение разрешения 14 бит определено на основе значения свободного от ложных сигналов динамического диапазона, поскольку предельное значение разрешения, измеряемое на данной частоте (100 МГц) с помощью оборудования национального института стандартов и технологий, не превышает 13 бит.

Electronic Engineering Times, 1996, N907, p18