

ОСОБЕННОСТИ РАЗРАБОТКИ HDL-ПРОЕКТОВ ДЛЯ РЕАЛИЗАЦИИ В БАЗИСЕ ПЛИС СЕРИИ 5578ТС

П.Городков¹

УДК 621.382
ВАК 05.27.00

По архитектурным решениям ПЛИС серии 5578ТС, разработанные в АО "КТЦ "ЭЛЕКТРОНИКА", занимают промежуточное положение между низкобюджетной серией Altera Cyclone II и высокопроизводительными ПЛИС серии Altera Stratix III. Они построены на основе адаптивных логических модулей (АЛМ), что позволяет более эффективно расходовать ресурсы. Для разработчиков проектов на базе ПЛИС практическое значение имеет анализ использования логических ресурсов. В статье рассмотрены особенности потребления логических ресурсов ПЛИС данной серии при реализации проектов различной сложности с использованием типовых тестов производительности из набора Altera QUIP toolkit 9.0.

ПЛИС серии 5578ТС представляют собой программируемые пользователем вентильные матрицы (ППВМ) с логическими блоками на основе адаптивных логических модулей (АЛМ). Логический блок ПЛИС (рис.1) состоит из восьми АЛМ, каждый из которых имеет восемь входов данных и может реализовать одну произвольную 6-входовую или две произвольные 2-, 3-, 4-входовые функции [1]. АЛМ состоит из четырех 3-входовых и двух 4-входовых LUT, двух выделенных сумматоров и двух триггеров с возможностью синхронного и асинхронного сброса, синхронной загрузки из нескольких источников, использования обратной связи и обвода триггера (рис.2).

Разработанный АЛМ по структуре схож с АЛМ ПЛИС серии Stratix III [2], обеспечивающий повышенное быстродействие ПЛИС и эффективность упаковки проектов пользователя благодаря расширенным режимам работы LUT5, LUT6 и встроенному сумматору для логико-арифметических вычислений. Однако на данный момент сумматор исключен из конфигурации, поскольку серия 5578ТС предназначена для замены ПЛИС EP2C5/EP2C8 от Altera.

При анализе использования логических ресурсов в ПЛИС серии 5578ТС будем рассматривать следующие функциональные блоки:

- "LUT с триггерами" (реализация комбинационной и последовательностной логики);
- "только LUT";
- "только триггеры".

Кроме того, разработчик ПЛИС (АО "КТЦ "ЭЛЕКТРОНИКА") для анализа распределения ресурсов рекомен-

¹ Воронежский государственный технический университет, аспирант кафедры полупроводниковой электроники и нанoeлектроники, тел. (4732) 437695, gorodkoff@gmail.com.

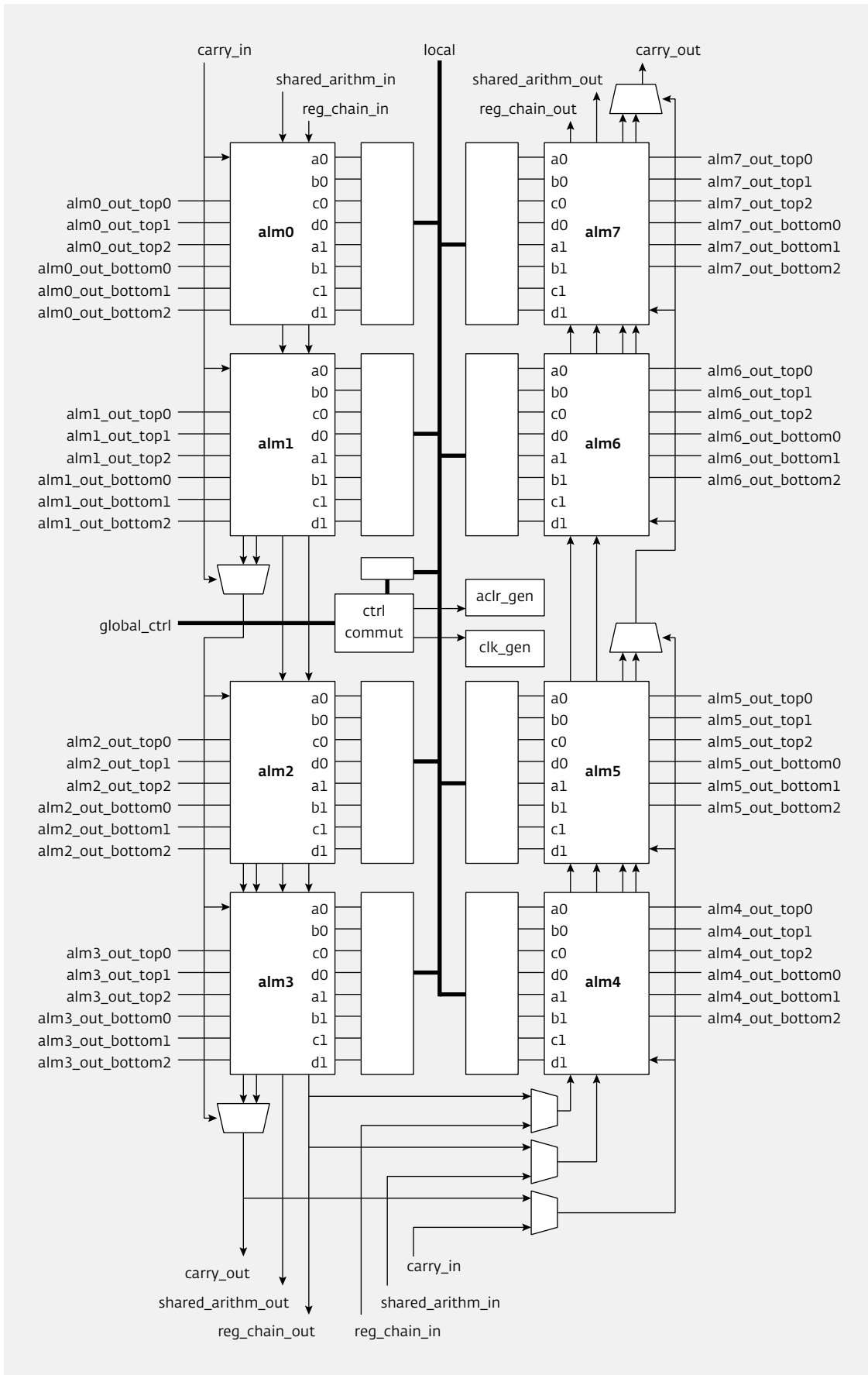


Рис.1. Схема логического блока ПЛИС серии 5578TC

дует использовать следующие параметры:

- alm_ff – число задействованных функциональных блоков "LUT с триггерами" и "только триггеры" для оценки использования последовательностной логики;
- lcell_comb – число задействованных функциональных блоков "LUT с триггерами" и "только LUT" для оценки использования комбинационной логики.

Для реализации решения в базе отечественных ПЛИС необходимо создать проект в среде проектирования Quartus версий 9.0–13.1 для EP2C5 в случае разработки для ПЛИС 5578TC014 и EP2C8 для 5578TC024.

Затем с помощью команды Analysis & Synthesis выполнить анализ и синтез проекта и с помощью команды Start VQM Writer получить на выходе файл Verilog Quartus Mapping (VQM), представляющий собой неоптимизированный список логических соединений (netlist). При разработке проекта в Quartus важно следить за ограничениями, которые налагаются на используемые логические ресурсы (табл.1). Однако некоторые проекты, выходящие за пределы ограничений, могут успешно работать в базе ПЛИС серии 5578ТС, что можно установить лишь опытным путем.

Список соединений (netlist) загружается в среду разработки конфигурационных данных (СРКД), созданную в АО "КТЦ "ЭЛЕКТРОНИКА", которая производит анализ, размещение и трассировку ПЛИС в соответствии с извлеченной информацией о логическом содержании проекта. При настройке проекта в СРКД можно выбрать режим работы АЛМ с максимальной разрядностью LUT от 4 до 6 [2]. В последних обновлениях СРКД была добавлена возможность дополнительной оптими-

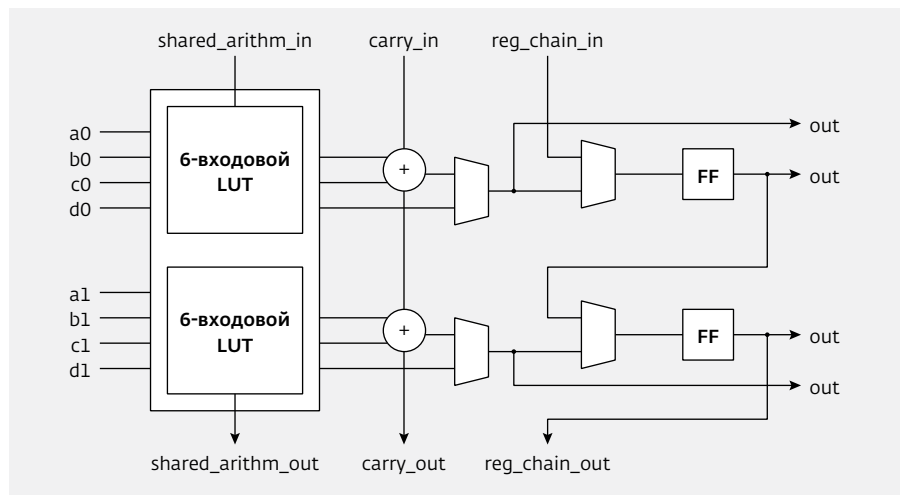


Рис.2. Схема АЛМ ПЛИС серии 5578ТС

зации проекта, которую в рамках данной статьи анализировать не будем, поскольку она зачастую увеличивает количество потребляемых ресурсов в целях повышения предельной тактовой частоты.

Распределение логических ресурсов в базе ПЛИС 5578TC024 проанализируем с помощью типовых тестов производительности ПЛИС (benchmark) из свободно распространяемого комплекта QUIP toolkit 9.0 на основе 26 проектов различной сложности из этого комплекта [3]. Размещение и трассировка проектов были выполнены в двух режимах работы АЛМ: LUT4 и LUT6 (табл.2–4).

Архитектуры ПЛИС Cyclone II [4] и 5578ТС различаются, поэтому проанализируем распределение LUT. Для наглядности полученное распределение для разных проектов представим в виде диаграммы (рис.3). Из нее видно, что в режиме 4-входных LUT ПЛИС 5578TC024 не выигрывает в потреблении логических ресурсов, тогда как режим 6-входных LUT демонстрирует преимущества АЛМ для большей части тестовых проектов.

Таблица 1. Ограничения логических ресурсов проекта Quartus II для ПЛИС серии 5578ТС

Параметр	Ограничение	
	5578TC014	5578TC024
Логические элементы в Quartus II	3 200	3 400
alm_ff	4 032	5 760
lcell_comb	4 032	5 760
Умножители (18×18)	14	20
Память	252 Кбит	360 Кбит
Выводы (включая восемь глобальных тактовых входов)	180	180

Таблица 2. Распределение логических ресурсов ПЛИС серии 5578ТС в режиме LUT6

№	Проект	Триггеры и триггеры с LUT/ LUT (alm_ff/lcell_comb)	LUT с триггерами	Только LUT	Только триггеры	Описание, комментарии
Простые HDL-проекты						
1	Barrel16	37/88	36	52	1	Устройства быстрого сдвига (barrel shifter) разной разрядности
2	Barrel16a	37/126	21	105	16	
3	Barrel32	70/244	66	178	4	
4	Barrel64	135/488	112	376	23	
5	Mux32_16bit	533/176	136	40	397	Шины мультиплексоров разной разрядности
6	Mux64_16bit	1046/352	265	87	781	
7	Mux8_128bit	1155/392	375	17	780	
8	Mux8_64bit	579/200	185	15	394	
9	Xbar_16x16	32/80	16	64	16	Коммутатор (16 бит)
10	Ts_mike_fsm	3/11	3	8	0	Конечный автомат
11	Fip_cordic_cla	55/304	55	249	0	Вычислитель поворота системы координат
12	Fip_cordic_rca	55/335	55	280	0	
13	oc_fcmp	0/157	0	157	0	Компаратор одинарной точности для чисел с плавающей точкой
Интерфейсы						
14	oc_miniuart	73/111	67	44	6	Ядро miniUART
15	oc_sdram	112/188	106	82	6	Контроллер SDRAM
16	os_sdram16	147/275	141	134	6	Контроллер SDRAM
17	oc_gpio	100/118	42	76	58	Ядро GPIO IP
18	oc_ata_ocidec1	269/271	138	133	131	Контроллер IDE ATA/ATAPI-5 (OCIDEC-1)
ЦОС-алгоритмы						
19	oc_correlator	219/261	126	135	93	Коррелятор для Bluetooth
20	oc_dct_slow	178/235	174	61	4	Дискретное косинусное преобразование
21	oc_video_compression_systems_huffman_enc	59/304	58	246	1	Алгоритм сжатия изображения Хаффмана
22	oc_video_compression_systems_huffman_dec	62/672	62	610	0	Алгоритм ЦОС для декодирования сжатых изображений по алгоритму Хаффмана
23	oc_simple_fm_receiver	230/1241	230	1011	0	Радиоприемник по протоколу Bluetooth
Прочие проекты						
24	Pong	157/648	147	501	10	Академическая игра PONG
25	fip_risc8	660/924	364	560	296	Процессор архитектуры RISC
26	oc_rtc	114/342	112	230	2	Ядро микроконтроллера реального времени

Таблица 3. Распределение логических ресурсов ПЛИС серии 5578ТС в режиме LUT4

№	Проект	Триггеры и триггеры с LUT/ LUT (alm_ff/lcell_comb)	LUT с триггерами	Только LUT	Только триггеры	Описание, комментарии
Простые HDL-проекты						
1	Barrel16	37/116	37	79	0	Устройства быстрого сдвига (barrel shifter) разной разрядности
2	Barrel16a	37/131	37	94	0	
3	Barrel32	70/422	65	357	5	
4	Barrel64	135/1077	135	942	0	
5	Mux32_16bit	533/336	292	44	241	Шины мультиплексоров разной разрядности
6	Mux64_16bit	1046/672	578	94	468	
7	Mux8_128bit	1155/640	631	9	524	
8	Mux8_64bit	579/320	303	17	276	
9	Xbar_16x16	32/160	32	128	0	Коммутатор (16 бит)
10	Ts_mike_fsm	3/18	3	15	0	Конечный автомат
11	Fip_cordic_cla	55/404	55	349	0	Вычислитель поворота системы координат
12	Fip_cordic_rca	55/415	55	360	0	
Интерфейсы						
13	oc_fcmp	0/132	0	132	0	Компаратор одинарной точности для чисел с плавающей точкой
14	oc_miniuart	73/155	73	82	0	Ядро miniUART
15	oc_sdram	112/188	106	82	6	Контроллер SDRAM
16	os_sdram16	147/344	146	198	1	
17	oc_gpio	100/140	80	60	20	Ядро GPIO IP
18	oc_ata_ocidec1	269/367	247	120	22	Контроллер IDE ATA/ ATAPI-5 (OCIDEC-1)
ЦОС-алгоритмы						
19	oc_correlator	219/261	135	126	84	Коррелятор для Bluetooth
20	oc_dct_slow	178/299	178	121	0	Дискретное косинусное преобразование
21	oc_video_compression_systems_huffman_enc	59/655	59	596	0	Алгоритм сжатия изображения Хаффмана
22	oc_video_compression_systems_huffman_dec	62/477	51	426	11	Алгоритм ЦОС для декодирования сжатых изображений по алгоритму Хаффмана
23	oc_simple_fm_receiver	230/633	194	439	36	Радиоприемник по протоколу Bluetooth
Прочие проекты						
24	Pong	157/696	157	539	0	Академическая игра PONG
25	fip_risc8	660/644	146	498	514	Процессор архитектуры RISC
26	oc_rtc	114/247	99	148	15	Ядро микроконтроллера реального времени

Таблица 4. Распределение логических ресурсов ПЛИС EP2C8

№	Проект	Логические элементы	LUT	Триггеры	Описание, комментарии
Простые HDL-проекты					
1	Barrel16	118	116	37	Устройства быстрого сдвига (barrel shifter) разной разрядности
2	Barrel16a	132	131	37	
3	Barrel32	299	296	70	
4	Barrel64	988	986	135	
5	Mux32_16bit	611	336	533	Шины мультиплексоров разной разрядности
6	Mux64_16bit	1,228	672	1 046	
7	Mux8_128bit	1,162	640	1 155	
8	Mux8_64bit	581	320	579	Коммутатор (16 бит)
9	Xbar_16x16	160	160	32	
10	Ts_mike_fsm	14	14	3	Простой конечный автомат
11	Fip_cordic_cla	411	403	55	Вычислитель поворота системы координат
12	Fip_cordic_rca	422	414	55	
Интерфейсы					
13	oc_fcmap	156	156	0	Компаратор одинарной точности для чисел с плавающей точкой
14	oc_miniuart	156	73	154	Ядро miniUART
15	oc_sdram	234	234	112	Контроллер SDRAM
16	os_sdram16	302	297	147	
17	oc_gpio	160	124	100	Ядро GPIO IP
18	oc_ata_ocidec1	395	331	269	Контроллер IDE ATA/ATAPI-5 (OCIDEC-1)
ЦОС-алгоритмы					
19	oc_correlator	346	241	219	Коррелятор для Bluetooth
20	oc_dct_slow	284	283	178	Дискретное косинусное преобразование
21	oc_video_compression_systems_huffman_enc	599	597	59	Алгоритм сжатия изображения Хаффмана
22	oc_video_compression_systems_huffman_dec	652	647	62	Алгоритм ЦОС для декодирования сжатых изображений по алгоритму Хаффмана
23	oc_simple_fm_receiver	1 146	1 114	230	Радиоприемник по протоколу Bluetooth
Прочие проекты					
24	Pong	679	652	157	Академическая игра PONG
25	fip_risc8	1158	897	660	Процессор архитектуры RISC
26	oc_rtc	337	334	114	Ядро микроконтроллера реального времени

Таблица 5. Нереализуемые в базе ПЛИС 5578TC024 проекты QUIP toolkit

Проект	Логические элементы EP2C8	Ошибка	Описание, комментарии
ос_ос8051	2708	Используется режим работы памяти с одновременным чтением и записью по одному адресу	Ядро микроконтроллера 8051 (MCS-51 Intel)
ос_minirisc	475		Ядро микроконтроллера MiniRisc (совместим с PIC16C57 от Microchip)
ос_hdlc	561		Контроллер High-Level Data Link Control
ос_pavr	3847	Превышение используемых логических ресурсов на 53%	Конвейерный 8-битный RISC-контроллер (совместим с ядром Atmel AVR (6 стадий конвейерной обработки))
ос_fpu	6724	Превышение используемых логических ресурсов на 19%	Математические операции для чисел с плавающей точкой
ос_aquarius	5048	Превышение используемых логических ресурсов на 16%	Конвейерный RISC-микроконтроллер, может исполнять инструкции формата SuperH-2

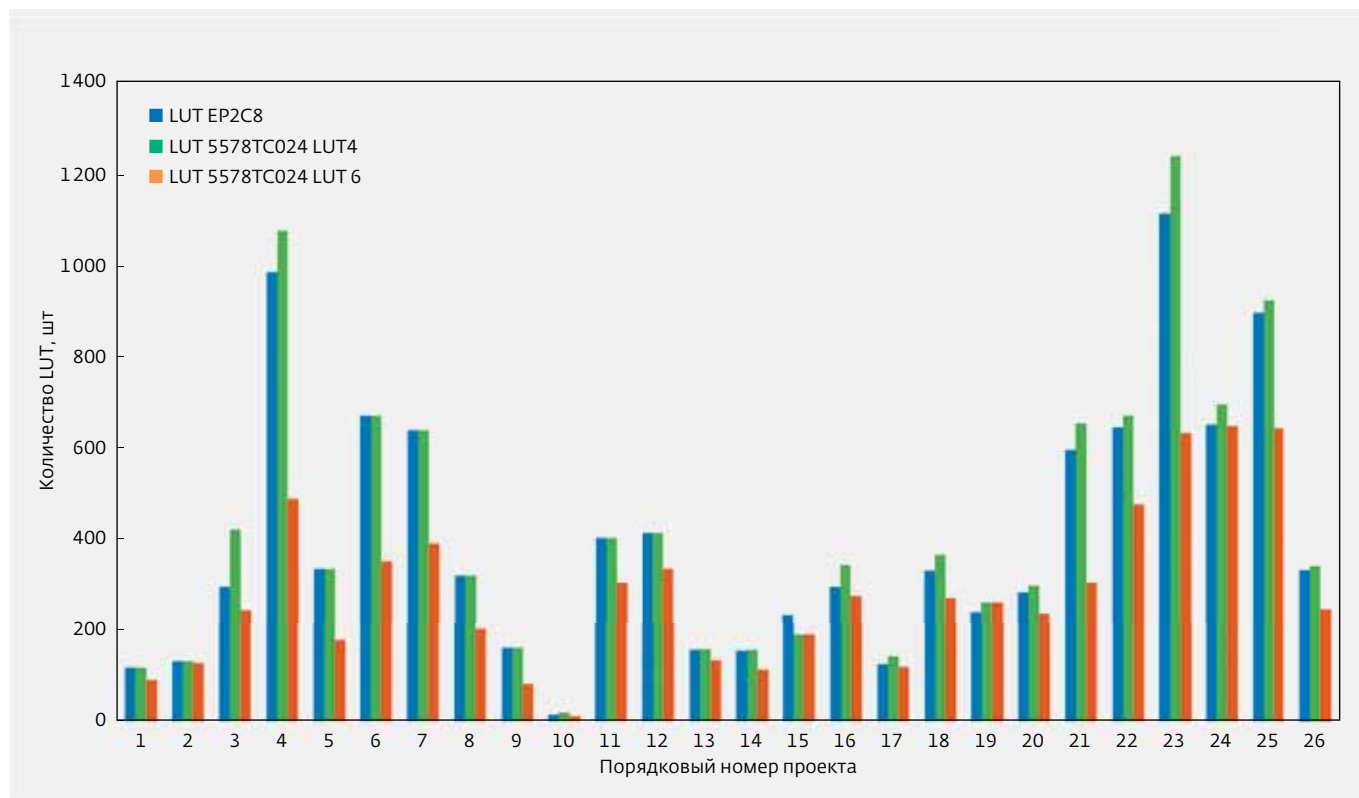


Рис.3. Распределение LUT в проектах (табл.2-4) для ПЛИС 5578TC024 и EP2C8

В 22-х из 26-ти тестовых проектов потребление логических ресурсов снизилось в среднем на 25%.

Часть проектов из набора QUIP toolkit, которые успешно раскладываются в базис ПЛИС EP2C8, не удалось реализовать в базис ПЛИС серии 5578ТС. Блоки памяти ПЛИС серии 5578ТС не поддерживают режим одновременного чтения и записи по одному адресу (в Quartus II это опция мегафункции RAM: 2-PORT Old memory contents appear). Поддерживается только режим I do not care, в котором значение выхода в момент записи будет неопределенным. Следует учитывать, что данное ограничение повлияет на работоспособность всех мегафункций, которые явно или неявно используют данный режим работы памяти, например таких, как ALTACCUMULATE, ALT_MULT_ACCUM, ALT_MEM_MULT. В табл.5 указаны все проекты, реализованные в базисе EP2C8, но завершившиеся с ошибкой для ПЛИС серии 5578ТС.

* * *

В заключение следует отметить, что ПЛИС 5578ТС014 и 5578ТС024 не являются прямыми аналогами ПЛИС серий Altera Cyclone II EP2C5 и EP2C8, а предназначены для их замены. В ПЛИС серии 5578ТС используются АЛМ, близкие по своей архитектуре к семейству Altera Stratix III [5, 6].

Полученные результаты представляют практическую ценность для разработчиков проектов в базисе ПЛИС серии 5578ТС, поскольку в настоящее время нет публикаций с анализом потребления логических ресурсов ПЛИС данной серии.

ЛИТЕРАТУРА

1. Каталог изделий АО "ВЗПП-С". – www.vzpp-s.ru/production/catalog.pdf.
2. **Строгонов А.В., Городков П.С.** Особенности проектирования устройств цифровой обработки сигналов в базисе ПЛИС серии 5578 // Вестник ВГТУ. 2016. Т. 12. № 3. С. 51–56.
3. Altera. Benchmark Designs For The Quartus University Interface Program (QUIP). – https://github.com/neilisaac/ece496/blob/master/reference/quip_toolkit-9.0/documents/quip_benchmarks.pdf.
4. Altera Corporation Cyclone II Device Handbook, Vol. 1, February 2007, ver. 3.3. – www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf.
5. Altera Corporation Stratix III Device Handbook, Vol. 1, July 2010, ver. 2.3. – www.altera.com/literature/hb/stx3/stx3_siii5v1.pdf.
6. **Золотухо Р., Комолов Д.** Stratix III – новое семейство FPGA фирмы Altera // Компоненты и технологии. 2006. № 12.