

Современные тенденции развития микроэлектроники

Часть 1

М. Макушин¹, В. Мартынов д. т. н.²

УДК 621.39 | ВАК 05.27.06

Современная микроэлектроника (полупроводниковая промышленность) сталкивается с рядом вызовов. Во-первых, ее циклы развития по мере роста продаж все больше коррелируются с состоянием мировой экономики. Во-вторых, по мере масштабирования существующие подходы, архитектуры и материалы все менее отвечают требованиям дальнейшего развития. В-третьих, сложность ИС увеличилась настолько, что для их проектирования приходится применять искусственный интеллект. Дальнейшее развитие все больше зависит от междисциплинарных исследований. Но самое главное – растущие издержки освоения все меньших топологий порождают вопрос: а нужно ли идти дальше? Тем не менее продолжаются работы как по дальнейшему масштабированию, так и по модернизации существующих технологий. Главными требованиями в обоих случаях являются снижение потребляемой мощности и повышение производительности при сокращении удельных издержек.

ЭКОНОМИЧЕСКИЕ АСПЕКТЫ РАЗВИТИЯ МИКРОЭЛЕКТРОНИКИ

На рубеже 2000-х годов, после того как продажи ИС преодолели рубеж в 200 млрд долл., темпы роста рынка полупроводниковых приборов начали сильнее коррелироваться с темпами роста мирового ВВП – до этого отрасль почти не ощущала на себе воздействия состояния мировой экономики. Рекордные продажи полупроводниковых приборов в 2017 году (увеличение на 25–27%, более 400 млрд долл.) в 2018 году сменились более умеренным ростом – 12–13%. Крупнейшим сегментом рынка стали ДОЗУ, продажи которых превысили 100 млрд долл. Увеличился также спрос на пластины.

По данным исследовательской корпорации IC Insights (Скоттсдэйл, шт. Аризона), коэффициент корреляции темпов роста мирового ВВП и рынка ИС в 2018–2022 годы достигнет 0,95 по сравнению с 0,88 в 2010–2017 годы. IC Insights отмечает, что тенденция усиления этой взаимосвязи начала проявляться с 2000-х годов (рис. 1), по мере того как микроэлектроника в качестве базового сегмента комплекса радиоэлектронных отраслей превысила уровень продаж в 200 млрд долл. и стала оказывать все большее влияние на различные аспекты мировой экономики.

Одним из основных изменений в базе предложений изделий микроэлектроники IC Insights считает все большее число сделок слияния/поглощения, ведущих к уменьшению количества крупных производителей и поставщиков ИС, что иллюстрирует созревание отрасли и способствует установлению более тесной корреляции между темпами роста мирового ВВП и рынка ИС. К другим факторам, поддерживающим эту тенденцию, относятся, в частности, значительное расширение использования fab-lite* модели и снижение капиталовложений как доли доходов от продаж. Все это свидетельствует о резких изменениях в полупроводниковой промышленности, ведущих к стабильности рыночных циклов в долгосрочной перспективе [1].

ПРОБЛЕМЫ МАСШТАБИРОВАНИЯ

В результате масштабирования полупроводниковых приборов их дальнейшая интеграция не рассматривается изготовителями как естественный путь развития этих устройств. Отраслевые предприятия разделились на два лагеря – одни остаются сторонниками дальнейшего

* **Fablite (fab-lite)** – так называемая стратегия «легких активов», когда производитель оставляет у себя (или заново создает) новейшие опытно-экспериментальные мощности для отработки перспективных технологий, а серийное производство отдается на кремниевые заводы.

¹ АО «ЦНИИ «Электроника» mmacushin@gmail.com.

² Проф., ФГБНУ «Аналитический центр», эксперт.



Рис. 1. Фактические и прогнозные данные по коэффициенту корреляции между ростом мирового ВВП и рынка ИС в 1980–2022 годы. Источник: IC Insights

масштабирования и интеграции на уровне кристалла, другие предпочитают интегрировать более простые кристаллы на одной подложке. Иными словами, при переходе к топологиям менее 7–5 нм при проектировании ИС одной из преобладающих тенденций может стать дезинтеграция, а не интеграция.

Оказавшиеся впереди фирмы, которые в развитии своих технологий следовали так называемому закону Мура (удвоение числа транзисторов на кристалле каждые 18 мес. без увеличения удельной стоимости функций для конечного потребителя) до уровня 7-нм топологий, вынуждены переосмыслить многие опции своих конструкций, особенно связанных с любой быстродействующей аналоговой схмотехникой. Проблемы характерны и для полностью цифровых ИС.

С другой стороны, догоняющие фирмы, выпускающие недорогие конечные приборы Интернета вещей, быстро переходят от конструкций, изготовленных путем интеграции стандартных компонентов на печатной плате, к системам-на-кристалле (СНК), сочетающим MEMS, аналоговую, радиочастотную и цифровую схмотехнику. При рассмотрении вопросов интеграции ИС такие компании интересуются возможностью дополнительной функциональности СФ-блоков.

Закон Мура прекращает действие?

Закон Мура определял развитие полупроводниковой промышленности на протяжении почти полувека. С технической стороны продление его действия вполне возможно, но с точки зрения рентабельности это становится нецелесообразным.

Пока еще закон Мура обеспечивает выгоды, обусловленные увеличением плотности элементов. Однако все

больше опасений вызывают вопросы согласования производительности, потребляемой мощности и цены: выигрыш по одному из этих критериев неизбежно ухудшает другие показатели [2]. Отмечается повышение сложности и стоимости операций литографии, многократного формирования рисунка и конструкций с использованием FinFET, а также появление других технических и экономических проблем. При переходе к топологиям менее 28 нм стоимость проектирования стремительно увеличивается: если для проектирования 28-нм планарных приборов достаточно 30 млн долл., то средняя стоимость проектирования 16/14-нм ИС достигла 80 млн долл., а для 7-нм ИС эта сумма может превысить 270 млн долл. [3]. Аналогичная ситуация характерна и для комплектов шаблонов, стоимость которых увеличивается. Соответственно, многие фирмы могут позволить себе освоение технологий с меньшими топологиями.

По мере физического масштабирования транзисторная структура, шаг и длина затвора, а также ряд других показателей уменьшаются (рис. 2), что приводит к трудностям как проектирования, так и производства.

Еще одна составляющая расходов заключается в том, что растущая функциональность не только повышает полезность ИС, но и увеличивает площадь кристалла, что оборачивается снижением выхода годных и увеличением стоимости. В некоторых случаях издержки и цена не имеют определяющего значения. Крупнейшие корпорации готовы продвигать передовые производственные технологии, включая процессы кремниевых заводов, так как это позволяет им оторваться от конкурентов. Пользуясь тем, что при переходе от одного технологического поколения к другому увеличивается число транзисторов и снижается потребляемая

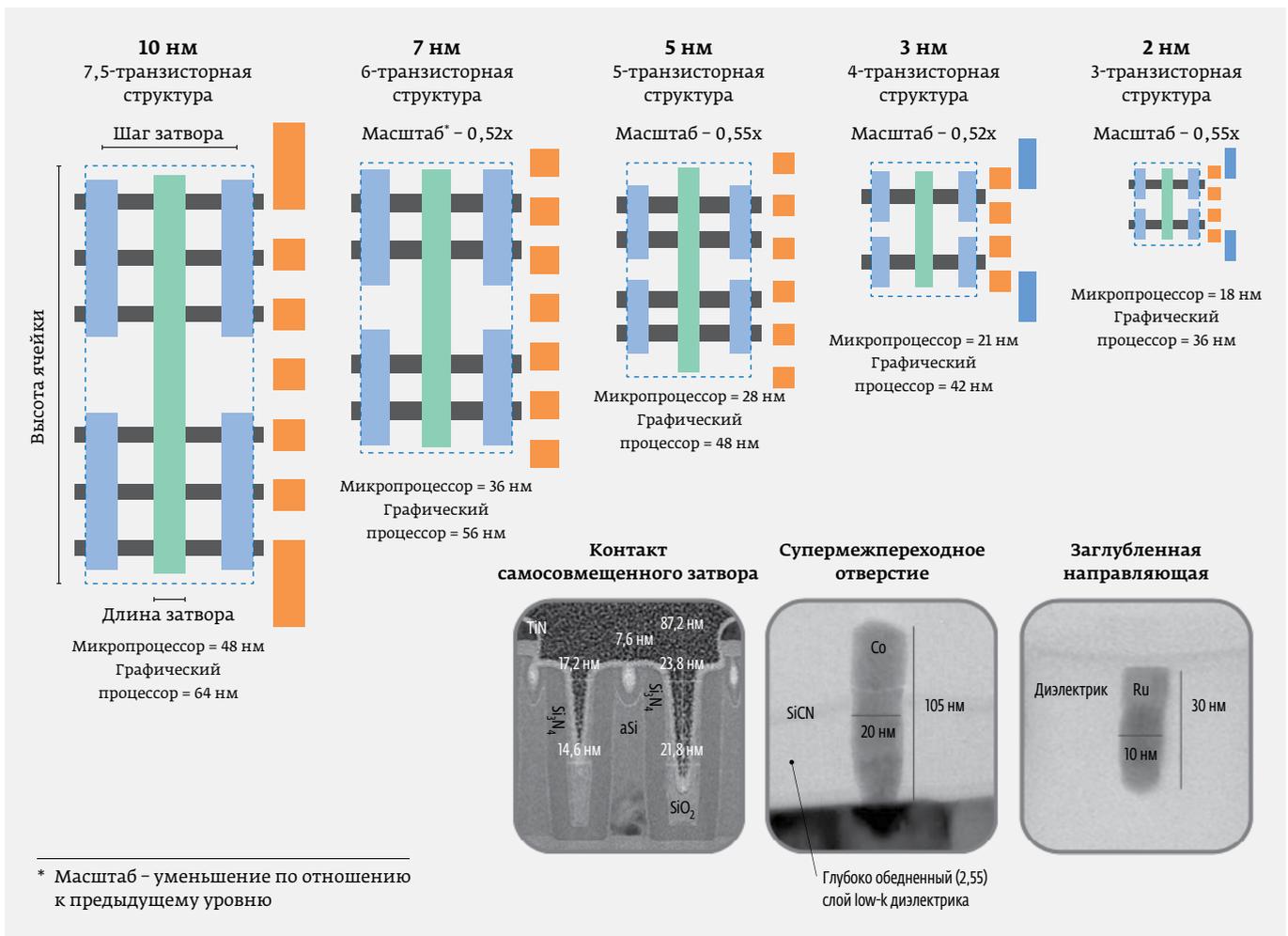


Рис. 2. Проблемы дальнейшего масштабирования. Источник: IMEC

мощность, корпорации, стремящиеся достичь максимально возможной системной производительности, рассчитывают на премиальную цену своего продукта. Но даже в этих случаях не всегда можно оптимизировать внутрикристалльную конструкцию из-за двух видов ограничений: по размеру промежуточного шаблона и по конструкции с определенным числом устройств ввода-вывода.

Дезинтеграция как тенденция порождает новые проблемы в сфере интеграции. В среде, где невозможно разместить весь нужный функционал на одном кристалле ИС, приходится разделять его по нескольким, появляется задача проектирования архитектуры многокристальной сборки/системы. В таком случае стратегически

важным становится организация взаимосвязей между кристаллами. В этой концепции чиплеты** выглядят логично и привлекательно. Проблема заключается в интерфейсах между чиплетом и специализированной ИС (ASIC). Одно из больших препятствий на пути широкого внедрения чиплетов – рентабельность методик корпусирования. Сейчас многим заводам по обработке пластин необходимо решить эту задачу и предоставить заказчикам оптимальные решения корпусирования. Но это уже скорее проблема бизнес-модели. У корпораций, самостоятельно изготавливающих все части кристалла (например, Intel), есть определенные преимущества.

* **Premium price** – цена с надбавкой, с премией, премиальная цена. Более высокая цена товара или услуги, чем цены сходных товаров/услуг, установленные конкурентами (например, из-за наличия у товара/услуги уникальных особенностей либо интереса потребителей к данной торговой марке).

** **Chiplet** – «чиплет», специализированная ИС, обладающая минимальной вычислительной мощностью и рядом других функций, что позволяет ей стать малым микропроцессором, устройством хранения данных, сложной логической схемой или частью MEMS, выполняющих функции датчиков различных параметров, к примеру, освещенности, температуры, давления, движения и ускорения.

При создании 2,5D- и 3D-системы из кристаллов ИС различных корпораций фактором, препятствующим инновационному процессу, является выяснение ответственности за неисправность многокристалльных систем. Поэтому на рынке еще нет изделий, сочетающих в себе продукцию различных фирм. Остается открытым вопрос – кто заплатит за нефункционирующий комбинированный кристалл [2]? Новый уровень интеграции создает и дополнительные возможности. Несмотря на некоторую степень дезинтеграции, интерфейсы ввода-вывода между различными кристаллами становятся еще более высокоспециализированными. При использовании стандартных устройств ввода-вывода, приобретаемых в готовом виде, разработчики вынуждены жертвовать оптимизацией потребляемой мощности, занимаемой площади или применять несколько стандартов и функциональных возможностей. Расширение функциональности кристалла ИС требует наращивания функций приборов ввода-вывода. Чем выше степень дезинтеграции, тем больше потребность в оптимизации приборов ввода-вывода по таким параметрам, как опорная поверхность и потребляемая мощность. Не имеет значения превосходство интеграции или дезинтеграции, более важным фактором становится увеличение специализации приборов ввода-вывода.

Все это создает отдельный комплекс проблем и преимуществ. Необходимое пространство для устройств ввода-вывода может быть уменьшено благодаря новым типам корпусов. На кристаллах ИС со 100-мкм медными столбиковыми выводами на слоистых структурах можно разместить большое число приборов ввода-вывода на малой площади. Кроме того, можно использовать технологии с разветвлением (fan-out[®]), но это приводит к некоторому увеличению издержек. Подобные подходы интеграции требуют раннего проектирования кристалла и корпуса, а также поддержки проектирования инструментальными средствами САПР. Опыт работы с клиентами показывает, что наибольший возможный потенциал оптимизации приборов ввода-вывода достигается на этапе определения характеристик (конструктивных, технологических и эксплуатационных) изделия и непосредственно за ним. Если подобные задачи решать, когда кристалл уже спроектирован, ничего оптимизировать не удастся.

Все более важной становится инфраструктура корпусирования. Исторически к комплектам проектирования и аттестации САПР предъявлялись не самые строгие требования. Сейчас даже поставщики аутсорсинговых услуг по сборке и тестированию полупроводниковых приборов (OSAT) придерживаются концепции обеспечения целостности проектирования в пределах экосистемы.

Еще одна проблема, требующая решения, – недостаточность или отсутствие протоколов передачи данных, пригодных для межкристальной связи. По умолчанию используется память с высокой пропускной способностью второго поколения (HBM2). Корпорации Intel и Altera в совместном семействе Stratix 10 в качестве приемлемого для клиента порта применили HBM2, а также определили два собственных протокола, оптимизированных под перемещение данных. Предполагается, что существующий разрыв в области СФ-блоков может быть решен за счет обеспечения совместимости (интероперабельности) кристаллов ИС в сфере 2,5D- и 3D-решений. Для получения высокого числа выводов в 3D-структурах рекомендуется согласовывать конструкции фирм на протокольной основе.

Следствием продолжающегося процесса масштабирования ИС стал рост не только издержек, обусловивший консолидацию отрасли (сделки слияния / поглощения), но и стоимости проектирования полупроводниковых приборов (в частности, систем-на-кристалле).

Одна из основных причин небывалой волны сделок слияния / поглощения в сфере полупроводниковой промышленности за последние несколько лет – стремительный рост издержек производства, связанный с масштабированием ИС. По мнению специалистов исследовательской корпорации IC Insights, процесс консолидации, возможно, достиг пика – по крайней мере, с точки зрения стоимости сделок. Недавняя отмена поглощения корпорацией Qualcomm фирмы NXP Semiconductors за 44 млрд долл. позволяет сделать вывод о том, **что правительства ведущих в области микроэлектроники стран пытаются, по крайней мере сейчас, усилить контроль за подобными сделками и установить «потолок» их стоимости.** При этом процесс консолидации отрасли проходит в условиях торговых войн. Таким образом, в современных геополитических условиях и ситуации назревающих битв в мировой торговле сделки по слиянию / поглощению полупроводниковых корпораций стоимостью более 40 млрд долл. вряд ли могут быть завершены или даже предприняты попытки их реализовать [4].

Еще одно **последствие масштабирования полупроводниковых приборов – рост издержек проектирования ИС, в первую очередь сложных СнК**, что сопровождается снижением доли конструкций, спроектированных с первого раза (first-time-right designs), и увеличением времени цикла разработки при одновременном сужении «окон рыночных возможностей» и сокращением длительности жизненных циклов продукции. **Дополнительный фактор удорожания проектирования СнК – появление очень сложных программных приложений, встраиваемых в СнК. Затраты на ПО превысили затраты на проектирование физической**

части СнК, став основным компонентом стоимости подобных конструкций. Растущей составляющей затрат на проектирование также становится интеграция ИС. По данным исследовательской корпорации Semico Research, средняя стоимость проектирования базовых СнК по всем топологическим нормам в 2017 году составила 1,7 млн долл. При этом для трех основных типов СнК (перспективные высокопроизводительные многоядерные СнК, экономичные многоядерные и базовые) характерна значительная активность на «зрелых» топологиях (90, 65 и 40 нм), где цены проектирования значительно ниже, чем на современных 10- и 7-нм топологиях. Стоимость проектирования 10- и 7-нм СнК намного выше, чем в среднем по всем СнК. Кроме того, увеличение количества новых конструкций СнК базового уровня может снижать средние издержки проектирования СнК в целом.

Специалисты Semico Research обращают внимание и на следующие факторы:

- средняя стоимость проектирования экономичных многоядерных СнК по всем топологиям в 2017 году составила 4,8 млн долл.;
- средняя стоимость проектирования СнК в целом по всем топологиям в 2023 году увеличится до 5,3 млн долл. (по сравнению с 1,7 млн долл. в 2017 году);
- число first-time-right конструкций уменьшается на каждом топологическом уровне, начиная с уровня 180 нм;
- затраты на проектирование 7-нм перспективных высокопроизводительных СнК типа first-time-right будут на 23% выше, чем у их 10-нм аналогов [5].

На прошедшей недавно в Тайбее выставке-конференции Semicon Taiwan представители крупнейшего «чистого» кремниевого завода TSMC заявили, что за счет новых технологических достижений масштабирование ИС может удваиваться каждый год. Соответственно, развитие полупроводниковой промышленности пойдет более быстрыми темпами, чем ожидалось.

В будущем изготовителям ИС придется интегрировать память и логику, чтобы создать «подлинно трехмерные» микросхемы, обеспечив значительную экономию потребляемой энергии. Кроме того, ключевое значение для прогресса в масштабировании будут иметь архитектурные новшества в конкретных областях, которые позволят программному обеспечению настраивать аппаратное обеспечение «на лету».

Одной из «мегатенденций» в электронной промышленности станут повсеместные вычисления (сплошная компьютеризация), позволяющие людям работать в любом месте. Другая заметная тенденция – развитие автономных транспортных средств, которые потребуют увеличения вычислительных мощностей в 100 раз по сравнению с доступными сегодня.

Таблица 1. Маршрутная карта освоения массового производства ИС foundry-отделением Samsung (Источник: материалы конференций, фирменные брифинги и пресс-релизы)

2017	2018		2019		2020		2021	2022	После 2022
	1-е полу-годие	2-е полу-годие	1-е полу-годие	2-е полу-годие	1-е полу-годие	2-е полу-годие			
10LPE	10LPP	7LPP* 8LPP 10LPU**	7LPP	5LPE*	5LPE	4LPE**		4LPP**	3GAAE** 3GAAP**

* Процесс может быть доступен только для БИС Samsung.

** Точное время появления не определено.

LPE (low power early) – ранняя версия вывода на рынок технологии, предоставляющая изготовителям выгоды (по сравнению с предыдущими процессами) применительно к экономии места на плате и потребляемой мощности (цифра перед аббревиатурой означает технологические нормы в нм).

Масштабирование будет продолжаться до топологических норм порядка 2 и 3 нм. Это произойдет за счет использования литографии с источниками излучения, работающими в предельной УФ-области спектра (EUV-литография), новых транзисторных структур наподобие FinFET, металлических затворов и диэлектриков с высоким значением диэлектрической проницаемости. **Развитие EUV показывает, что литография уже не является ограничивающим фактором масштабирования.** К новым материалам относятся, например, графен, германий и дисульфид молибдена, которые будут способствовать увеличению плотности размещения транзисторов.

Еще одна область, в которой важно добиться прогресса, – совместная разработка программного и аппаратного обеспечения. В то время как архитектура центральных процессоров оставалась практически неизменной в течение последних 30 лет, новые процессоры специального назначения получают все большее развитие. Криптовалютные инновации привели к созданию приборов с высокопараллельной обработкой данных. Создаваемые специализированные архитектуры под конкретные варианты применения будут способствовать повышению энергоэффективности. Проблема в том, чтобы сделать их более гибкими в целях конфигурирования аппаратного обеспечения «на лету» [6].

Продление действия закона Мура за счет Интернета вещей

Если проблемы масштабирования на новейших топологических нормах приводят к дезинтеграции, то на несколько более «зрелых» топологических

LPU (low power ultra) – версия процесса по изготовлению ИС с ультрамалой потребляемой мощностью.

LPP (low power plus) – расширенная версия технологического процесса, ориентированная как на высокую производительность, так и на малую потребляемую мощность.

GAAE (gate-all-around early) и **GAAP (gate-all-around plus)** – ранняя и расширенная версии процесса создания ИС на транзисторах с круговым затвором.

уровнях, таких как 40 и 65 нм, набирает силу тенденция интеграции в СпНК. На этих уровнях разработчики пытаются интегрировать то, что уже было внедрено на уровне проектных норм 180 нм. При этом каждый разработчик пытается найти баланс между функциональностью, стоимостью, потребляемой мощностью и производительностью.

Кремниевые заводы также расширяют возможности технологического выбора и библиотеки стандартных элементов для 55- и 40-нм процессов. Так, в библиотеки логических элементов введены приборы с толстым оксидным слоем – в целях снижения тока утечки, добавляется встраиваемая флеш-память. Таким образом, новый 40-нм процесс предусматривает библиотеки элементов с очень малыми токами утечки (продление сроков службы источников питания) с интегрированными блоками флеш-памяти – обе технологии (малая утечка и флеш-память) необходимы для создания приборов Интернета вещей.

В Интернете вещей, как и в других сегментах конечных электронных систем, ожидается рост трафика и контента. Соответственно, будет увеличиваться сложность, расширяться функциональность как оконечных, так и базовых приборов, что позволит повысить степень локализации обработки данных в целях снижения времени ожидания и требований к пропускной способности, по сравнению с подходами полностью облачных резидентов.

Но это не означает, что проектировщики и производители перестают принимать во внимание площадь кристалла. На достаточно зрелых технологиях появляются более компактные конструкции кристаллов ИС для

использования в компонентах Интернета вещей. В конечном счете, не требуется крупных кристаллов высокой сложности – больше внимания уделяется очень малым кристаллам, предназначенным для решения конкретной задачи [2].

EUV-ЛИТОГРАФИЯ НА ПОРОГЕ ВНЕДРЕНИЯ

На начальных этапах освоения 10-нм процесса корпорация Samsung в рамках опытного производства обрабатывала больше пластин для получения нужного объема отгружаемых ИС. Это цена за первенство в освоении EUV-литографии в массовом производстве. В июне 2018 года корпорация начала использовать EUV-литографию на существующих мощностях в промышленных масштабах [7]. Для расширения серийного производства на заводе в г. Хвасон (S3 Fab) в феврале 2018 года начался монтаж линии по обработке 300-мм пластин с использованием EUV-литографии. Общий объем инвестиций – 6 млрд долл. Предполагается, что ее сооружение завершится в конце 2019 года, а производство ИС с топологическими нормами 7 нм и менее начнется в 2020-м. С учетом конъюнктуры рынка инвестиции могут быть увеличены [8].

В конце мая 2018 года Samsung обновил маршрутную карту развития производственного процесса вплоть до 3-нм технологического процесса (табл. 1). Корпорация намерена ускорить развитие foundry-бизнеса в области новейших процессов (системы-на-кристалле низкой и ультранизкой потребляемой мощности, оптимизированные по мощности, производительности и т. п.) для получения конкурентных преимуществ. Для Samsung как вертикально-интегрированной структуры важно опережать других производителей полупроводниковых приборов. Полная платформа предполагает MPW*-услуги и поддержку СФ-блоками в широком диапазоне применений.

Samsung может компенсировать высокие первоначальные затраты на ИС, изготовленные по 7LPP опытному EUV-процессу, продавая собственные смартфоны (окупаемость вертикальной интеграции). Выпуск трубок Galaxy S следующего поколения с использованием этих ИС запланирован на первую половину 2019 года – всего через несколько месяцев после начала опытного производства 7LPP-схем. Для этого нужно подготовить 7LPP

СФ-блоки для различных ИС (7LPP-процесс уже можно использовать при изготовлении SoC для внутрифирменного потребления) [9].

Другие ведущие производители только готовятся к освоению EUV-литографии. Корпорация Intel – один из первых разработчиков технологии в конце 1990-х годов – испытывает трудности с освоением и наращиванием производства 10-нм ИС, а применение технологии 7 нм с использованием EUV-литографии пока остается для корпорации открытым вопросом.

Корпорация GlobalFoundries еще в прошлом году заявила о намерении использовать EUV-литографию с 2019 года для формирования контактов ИС и шаблонов для их производства.

TSMC также намерена применять данную технологию с 2019 года. Недавно она представила «расширенную» версию 7-нм процесса (7nm+), которая будет отличаться меньшим числом слоев, формируемых с помощью EUV-литографии, а также большей гибкостью производственных версий, предлагаемых как с использованием, так и без применения EUV-методик. Специалисты TSMC рассматривают это как важное конкурентное преимущество.

К освоению EUV-литографии большинство ведущих фирм относится очень осторожно – ввиду значительных издержек на оборудование и создание технологического процесса [10].

Во второй части статьи будут рассмотрены еще две проблемы: модернизация зрелых технологий и искусственный интеллект как новый закон Мура.

ЛИТЕРАТУРА

1. Global GDP impact on worldwide IC market growth forecast to rise // Solid State Technology. The Pulse. July 31. 2018.
2. **Bailey B.** Chip Dis-Integration // Semiconductor Engineering. June 14th. 2018.
3. **LaPedus M.** Foundry Challenges in 2018 // Semiconductor Engineering. December 27th. 2017.
4. **McGrath D.** Size of Chipmaker Acquisitions May Have Peaked // EE Times. 8/17/2018.
5. Average design cost for basic SoCs across all geometries was \$1.7M in 2017, says Semico Research // Solid State Technology. The Pulse. August 07. 2018.
6. **Patterson A.** TSMC: Chip Scaling Could Accelerate // EE Times. 9/12/2018.
7. **Jones S.** Samsung is Starting 7nm Production with EUV in June. SemiWiki.com. 4–16–2018.
8. **Cho Mu-Hyun.** Samsung begins construction of \$6 billion EUV semiconductor line // ZDNet. February 23. 2018.
9. **Shilov A.** Samsung Foundry Roadmap: EUV-Based 7LPP for 2018, 3 nm // IncomingAdvanTech. May 24. 2018.
10. **Patterson A.** Intel Ceding Leadership in EUV // EE Times. 8/31/2018.

* MPW (Multi Project Wafer services), (shuttle services) – услуги по производству на одной пластине опытных ИС разных проектировщиков в целях сокращения и распределения накладных расходов, затрат на разработку и производство. Такое объединение различных конструкций ИС на базе одного комплекта фотошаблонов и производство одной или нескольких ИС для различных талантливых разработчиков по достаточно передовым процессам при обычных условиях невозможно по экономическим соображениям.