

Решения Mentor, a Siemens Business для проектирования ИС и печатных плат

Часть 1

Д. Лобзов¹, А. Лохов²

УДК 004.942:621.3.049.774 | ВАК 05.13.12

Корпорация Mentor Graphics, ставшая в 2017 году частью компании Siemens, предлагает полный комплекс решений для разработки интегральных схем и печатных плат, охватывающий весь маршрут создания электронного изделия – от системного и функционального уровней проектирования кристалла до проверки целостности сигналов печатной платы. В ассортимент продуктов компании входят решения для контроля правил проектирования, улучшения технологичности, анализа электрических эффектов, оптимизации фотошаблонов, диагностики и тестирования готовых ИС, пред- и посттопологического анализа печатной платы, многие другие инструменты. Инженеру бывает непросто разобраться во всем многообразии предлагаемых решений. В статье, которую можно сравнить с полным каталогом решений Mentor Graphics, приведены краткие сведения обо всех инструментах, выпускаемых компанией. В первой части материала представлены средства проектирования, моделирования и верификации цифровых, аналоговых и аналого-цифровых ИС. Во второй части, которая будет опубликована в ближайшем номере, речь пойдет об инструментах для проектирования печатных плат.

ПРОЕКТИРОВАНИЕ И ВЕРИФИКАЦИЯ ЦИФРОВЫХ ИС

Системный уровень проектирования

Vista. Исследование и отладка архитектуры проекта

Пакет Vista предназначен для исследования и отладки архитектуры проекта на системном уровне, включая виртуальное прототипирование на базе моделей процессорных ядер, с использованием моделей на C++/SystemC и механизма транзакций на основе TLM 2.0. Это позволяет существенно ускорить процесс и повысить эффективность верификации и отладки проекта по сравнению с RTL-уровнем.

Catapult HLS. Приложение для высокоуровневого синтеза

Catapult HLS обеспечивает автоматический и полуавтоматический синтез RTL-кода (VHDL, Verilog) на основе описания проекта на C++/SystemC. Параллельно Catapult HLS выполняет локализацию и исправление ошибок в коде C++/SystemC посредством формальных процедур контроля. Дополнительно

контролируется логическая эквивалентность исходного кода C++/SystemC и RTL-кода с помощью опции формальной верификации SLEC-HLS. Третья важная функция Catapult HLS – оптимизация потребляемой мощности проектируемого кристалла непосредственно в процессе синтеза с помощью встроенной опции PowerPro.

Функциональный уровень проектирования

Questa. Платформа функциональной верификации

Пакет Questa – основа платформы функциональной верификации сложных систем на кристалле (СНК) на RTL-уровне. Базовый механизм верификации – ядро программного моделирования, которое отличается высокой производительностью (опережает конкурирующие решения на 80% бенчмарков). Дополнительно в пакете предлагаются расширенные методы верификации – верификация и формальная верификация ассертов, автоматическое генерирование портируемых тестбенчей, программно-аппаратная верификация, верификация систем с множественными доменами синхронизации, а также библиотека IP-блоков для верификации, оптимизация мощности и многое другое. Questa поддерживает все основные языки и методологии

¹ Компания Mentor Graphics, менеджер по дистрибуции, тел.: +7 (495) 510-66-33, доб. 6797, Denis_Lobzov@mentor.com.

² Компания Megratec, директор, lokhov@megratec.ru.

верификации, в том числе Verilog, SystemVerilog-2015, VHDL-2008, SystemC-2.3, UPF-3.0, C++, SV-TB, SVA, UVM, UCIS, PSS и др.

PowerPro. Оценка потребляемой мощности СМК

Пакет PowerPro предназначен для оценки потребляемой мощности, а также для автоматической и полуавтоматической оптимизации потребляемой мощности СМК на системном и RTL-уровне проектирования.

Veloce. Ускоренная функциональная верификация сложных проектов

Система аппаратной эмуляции Veloce обеспечивает ускоренную функциональную верификацию сложных проектов большого объема. Этот инструмент использует программируемые заказные чипы (специально разработанные для данного применения), которые благодаря реконфигурированию внутренней логики, а также межкристальных и межблочных связей позволяют быстро компилировать RTL-описание проекта непосредственно в оборудование Veloce. Система поддерживает проекты объемом до 15 млрд вентилей, отличается высоким быстродействием и широкими возможностями отладки. Кроме того, Veloce поддерживает работу в режимах гибридного моделирования, внутрисхемной эмуляции и виртуальной лаборатории.

Логический и физический синтез цифровых ИС

Oasys-RTL. Комплексный логический и физический синтез RTL-описания

Пакет Oasys-RTL реализует комплексный логический и физический синтез RTL-описания проекта. За счет предварительного «виртуального» размещения ячеек обеспечивается оптимизация площади и повышается быстродействие кристалла. Пакет поддерживает проекты объемом более 100 млн вентилей и отличается высокой скоростью работы. Дополнительно позволяет оптимизировать потребляемую мощность на основе UPF благодаря использованию многопороговых ячеек, специальных схем тактирования и схем с несколькими номиналами питающего напряжения.

Физическая реализация цифровых ИС (размещение и трассировка)

Nitro-SoC. Размещение и трассировка цифровых ИС

Nitro-SoC – пакет размещения и трассировки цифровых ИС, сертифицированный на ведущих полупроводниковых фабриках для технологии уровня 7 нм, отличается лучшими в своем классе характеристиками по быстродействию, емкости проектов, оптимизации площади и потребляемой мощности, учитывает технологический разброс параметров ячеек. Nitro-SoC поддерживает технологию FinFET и мультишаблонную технологию

создания маски, параллельную обработку на многоядерных и многопроцессорных системах. Кроме того, он обеспечивает параллельную с трассировкой физическую верификацию топологии (DRC / DFM), для этого запускается опция Calibre InRoute непосредственно из оболочки трассировщика.

Встроенная физическая верификация ИС

Calibre InRoute. Финишная верификация топологии

Пакет Calibre InRoute обеспечивает финишную (sign-off) верификацию топологии ИС непосредственно в процессе физической реализации топологии кристалла. Calibre InRoute интегрирован с пакетом Nitro-SoC, контролирует не только правила проектирования DRC, но и DFM. Выявленные нарушения DRC / DFM автоматически исправляются в Nitro-SoC. Calibre InRoute позволяет значительно уменьшить число итераций физической верификации и получить верифицированный проект с первого подхода.

Calibre RealTime. Финишная верификация для сторонних пакетов

Пакет Calibre RealTime выполняет те же функции, что и Calibre InRoute, но предназначен для маршрутов проектирования, отличных от Nitro-SoC.

ПРОЕКТИРОВАНИЕ ЗАКАЗНЫХ АНАЛОГОВЫХ И СМЕШАННЫХ ИС

Маршрут Pyxis

Pyxis Schematic. Разработка схемы проекта для заказных и смешанных ИС

Пакет Pyxis Schematic предназначен для разработки схемы проекта, а также настройки параметров для аналогового и смешанного моделирования, включая кросс-ссылки между схемой и окном моделирования. Pyxis Schematic позволяет представить схему в виде блок-диаграмм, где в качестве блоков могут выступать объекты, написанные на языках VHDL или Verilog. Инструмент интегрирован с ключевыми пакетами аналогового и смешанного моделирования от Mentor Graphics – Eldo, QuestaADMS, ADiT, Symphony, а также с топологическим редактором Pyxis Layout.

Pyxis Implement. Разработка топологии заказных и смешанных ИС

Pyxis Implement предназначен для разработки топологии заказных аналоговых и смешанных ИС, поддерживает огромное количество функций для редактирования полигонов, методологию SDL (Schematic-Driven Layout) и позволяет топологу контролировать «плотность» кристалла, что существенно повышает продуктивность работы. Пакет интегрирован с Pyxis Schematic и другими модулями комплексного маршрута Pyxis. Pyxis Implement

поддерживает коллективную работу нескольких инженеров над топологией одного кристалла.

Маршрут Tanner

S-Edit. *Схемотехнический редактор*

S-Edit – простой в использовании, но функционально полномасштабный схемотехнический редактор, который поддерживает схемы любой сложности. Обеспечивает настройку параметров моделирования для аналогового симулятора T-Spice и возможность кросс-ссылок между схемой и окном моделирования. Включает в себя встроенный механизм контроля электрических правил проектирования (Electrical Rule Check – ERC). Пакет интегрирован с топологическим редактором L-Edit.

T-Spice. *Аналоговый симулятор*

T-Spice – аналоговый симулятор, интегрированный в комплексный маршрут Tanner. Поддерживает все современные стандарты Spice-моделирования, обеспечивает высокую точность и скорость моделирования, расширенные отладочные возможности благодаря многооконному режиму. Оснащен функциями развертки параметров, поддерживает анализ Монте Карло, DC/AC и анализ переходных процессов. Поддерживает обработку на многоядерных и многопроцессорных системах.

L-Edit. *Топологический редактор*

L-Edit – универсальный топологический редактор. Предусматривает иерархический режим работы, в том числе перестановку объектов, подсветку узлов, поддержку макросов и генераторов топологии. Обеспечивает автоматизацию процесса создания топологии благодаря использованию «висящих» связей в реальном времени, трекинга связей и выводов, маркирования и подсвечивания связей, отслеживания внесенных изменений. Пакет поддерживает формат Open Access, генерацию топологии из схемы (Schematic-Driven Layout – SDL), нетлисты в форматах T-Spice, HSPICE, PSpice, Verilog, CDL. Интегрирован в комплексный маршрут Tanner.

Tanner MEMS Design. *Разработка МЭМС*

с подключением FAB

Обеспечивает возможность проектирования с последующим изготовлением на ведущих фабриках МЭМС-устройств. Наличие специализированного топологического редактора МЭМС позволяет создавать скругленные полигоны и выполнять визуализацию МЭМС-устройств в 3D-формате. Встроенный контроль DRC при создании МЭМС-структур и генерация поведенческих моделей МЭМС на основе топологии дает возможность совместно моделировать аналого-цифровую часть и МЭМС-устройства в едином сеансе моделирования. Поддерживает ввод и вывод данных в формате DXF.

Tanner L-Edit Photonics. *Редактор фотонных ИС*

L-Edit Photonics расширяет возможности универсального редактора L-Edit для проектирования фотоники, включая световоды и связанные с ними электронные компоненты. С помощью L-Edit Photonics разработчик может размещать готовые оптические компоненты из технологических библиотек (PDK) и соединять их криволинейными световодами. Редактор автоматически фиксирует подключение волноводов к выводам оптических компонентов, что значительно повышает эффективность работы тополога. Отличительная особенность L-Edit Photonics – возможность создания соответствующих устройств непосредственно в топологии кристалла, без предварительной разработки схемы. Генерируемый при этом из топологии нетлист можно использовать в процессе последующего моделирования устройства. L-Edit Photonics поддерживает форматы оптических моделей от Luceda, Lumerical, Optiwave, VPIphotonics и других поставщиков. Поставляемые фабриками технологические библиотеки (PDK) устройств фотоники поддерживаются редактором L-Edit Photonics и компилятором LightSuite Photonic Compiler.

Tanner Digital Implementer. *Проектирование цифровой части аналоговых ИС*

У этого набора инструментов для проектирования цифровой части преимущественно аналоговых ИС те же функциональные возможности, что и у пакетов синтеза Oasys-RTL и физической реализации Nitro-SoC с некоторыми ограничениями по объему проекта. Увеличить объем проекта можно за счет большего количества лицензий. При импорте проектных данных поддерживаются те же форматы, что и в полных версиях Oasys-RTL и Nitro-SoC – LEF, DEF, Verilog netlist, Liberty, PTF, SDC. Применение Tanner Digital Implementer дает разработчику возможность быстро синтезировать, разместить и трассировать цифровой блок с последующей физической верификацией всей топологии кристалла с помощью пакета Calibre. Tanner Digital Implementer интегрирован с топологическим редактором L-Edit и другими модулями комплексного маршрута Tanner.

Функциональная верификация аналого-цифровых проектов

Eldo. *Spice-моделирование*

Eldo – один из «золотых» стандартов мировой индустрии в области Spice-моделирования и верификации аналоговых проектов. Инструмент, многократно проверенный на большом количестве проектов ведущих компаний, обеспечивает высокую точность и скорость моделирования, отличается широким спектром отладочных возможностей. Дополнительно Eldo поддерживает моделирование в РЧ-диапазоне (Eldo RF), моделирование

с повышенной производительностью (Eldo Premier) и верификацию смешанных аналого-цифровых схем (в составе QuestaADMS). Eldo обеспечивает анализ надежности благодаря моделированию эффекта «старения» аналоговых схем с последующей деградацией и эффекта влияния теплового воздействия из-за мощности, рассеиваемой цепями питания, а также позволяет определить безопасный рабочий диапазон параметров схемы.

QuestaADMS. Платформа моделирования и верификации смешанных аналого-цифровых схем

QuestaADMS – универсальная платформа для моделирования и верификации смешанных аналого-цифровых схем. Пакет основан на модуле аналогового (Spice) моделирования Eldo, модуле цифрового моделирования Questa и ядре смешанного моделирования ADMS, обеспечивающем взаимодействие и интеграцию процессов аналогового и цифрового моделирования. QuestaADMS поддерживает методологии верификации сверху-вниз и снизу-вверх, а также все существующие языки и методологии верификации (VHDL, Verilog, SystemVerilog, SystemC, VHDL-AMS, Verilog-AMS, Spice Eldo, HSPICE, Spice Spectre, SDF, UPF, UVM и др.). Предусмотрена возможность подключения и моделирования внешних IP-блоков с верификацией результатов в общем проекте. Пакет интегрирован с маршрутами Puhis, Tanner и маршрутами проектирования других компаний.

ADiT. Ускоренное Spice-моделирование аналоговых и смешанных проектов

ADiT предназначен для ускоренного Spice-моделирования аналоговых и смешанных проектов, ориентированных преимущественно на применение таких блоков, как ФАПЧ, АЦП / ЦАП, Switch-cap, LNA, DC-DC, SMPS, SERDES и др. При допустимой точности (в пределах 3% Eldo Spice) можно ускорить процесс моделирования в 10–100 раз. Пакет поддерживает работу с нетлистами Eldo, Star-HSPICE, Verilog-AMS, DSPF, SPF и др. Предусмотрены встроенный анализ Монте Карло, Spice Solver, механизм уменьшения RC с помощью алгоритма Ticer, возможность моделирования схем, полученных после посттопологической обратной аннотации. ADiT интегрирован со всеми схемотехническими и топологическими редакторами Mentor Graphics и других компаний.

Analog Fast Spice (AFS). Симулятор ИС субнанометрового диапазона технологических норм

AFS – самый быстрый в отрасли симулятор ИС субнанометрового диапазона технологических норм – предназначен для моделирования аналоговых, смешанных, РЧ- и цифровых заказных схем. Он используется более чем 150 компаниями преимущественно для моделирования интерфейсов ввода-вывода, ФАПЧ, АЦП / ЦАП,

КМОП-видеосенсоров, РЧ ИС, встроенной памяти и других применений. AFS обеспечивает ускорение моделирования (при сравнимой точности) в 5–10 раз по сравнению с традиционными Spice-симуляторами и в 2–6 раз по сравнению с параллельными Spice-симуляторами. Инструмент поддерживает проекты емкостью до 100 млн транзисторов и сертифицирован фабриками для технологических норм 7 нм (процесс FinFET). Встроенный механизм анализа шумов в переходном режиме обеспечивает точность в пределах 1–2 дБ от экспериментальных данных. AFS интегрирован со всеми схемотехническими и топологическими редакторами Mentor Graphics и других компаний.

Symphony. Универсальная платформа моделирования аналого-цифровых ИС

Symphony – самая быстрая в отрасли и максимально реконфигурируемая универсальная платформа моделирования аналого-цифровых ИС любого применения. Скорость моделирования более чем в два раза превосходит скорость симуляторов предыдущего поколения (продемонстрировано на более чем 15 бенчмарках). Symphony поддерживает как преимущественно цифровые (DoT), так и преимущественно аналоговые проекты. Для моделирования цифровой части пакет может быть интегрирован с любым ведущим цифровым симулятором – Questa, Incisive, VCS. Обеспечивает возможность максимального повторного использования инфраструктуры и тестбенчей с предыдущих проектов. Дополнительные мощные отладочные возможности предусматривают остановку и последующий перезапуск моделирования с любой контрольной точки, локализацию состояния Hi-Z в граничных элементах аналого-цифровых и цифро-аналоговых преобразователей, визуализацию граничных элементов с кросс-ссылками между схемой и временной диаграммой моделирования. Symphony интегрирован со всеми основными маршрутами проектирования и поддерживает параллельную обработку на многоядерных и многопроцессорных системах.

Физическая верификация (DRC), повышение технологичности (DFM), экстракция паразитных параметров (PEX), верификация схемы и топологии (LVS)

Calibre nmDRC. DRC-верификация СБИС

Calibre nmDRC – «золотой стандарт» в области DRC-верификации СБИС. Инструмент оснащен универсальным встроенным механизмом обработки полигонов, который контролирует соответствие топологии проекта правилам, описанным в соответствующем технологическом файле фабрики-изготовителя (rule deck). Технологические файлы для пакета Calibre сертифицированы на всех ведущих фабриках вплоть до технологических норм 7 нм

(сейчас ведутся работы над 5 нм). Поэтому использование Calibre nmDRC гарантирует успешную верификацию и передачу в производство (tape out) проекта кристалла любого уровня сложности и технологических норм. Calibre nmDRC обеспечивает значительно более высокую производительность и экономию памяти по сравнению с решениями основных конкурентов, независимо от того, выполняется он на одноядерной или многоядерной / многопроцессорной системе. Для описания технологических файлов используются языки SVRF / TVF, которые позволяют значительно уменьшить число строк кода, необходимых для запуска процесса верификации. Встроенный в Calibre nmDRC механизм контроля DRC на основе уравнений (eqDRC) упрощает процесс отладки после прогона процедуры DRC. Пакет поддерживает технологии Smart Fill, Double Pattern, Multi Pattern и все форматы данных (Milkyway, LEF / DEF, Open Access, OASIS, GDSII и др.).

Calibre Multi-Patterning. *Формирование двойного фотошаблона и мультифотошаблона для технологических норм 20 нм и менее*

Для технологических норм 20 нм и менее оказывается недостаточно контроля геометрических правил проектирования. В последнее время появились технологии двойного фотошаблона и мультифотошаблона, которые позволяют повысить разрешающую способность рисунка топологии благодаря применению нескольких фотошаблонов. Эта задача решается с помощью опции Calibre Multi-Patterning, обеспечивающей автоматическое или полуавтоматическое разделение рисунка слоя на две или несколько частей для получения нескольких фотошаблонов.

Calibre Pattern Matching. *Акселератор верифицированных шаблонов рисунков топологии*

Суть технологии Calibre Pattern Matching в том, что вместо обработки геометрических правил, описанных на языке SVRF, опция использует заранее сохраненную библиотеку верифицированных шаблонов рисунков топологии для сравнения с топологией текущего проекта и установки маркера «верифицирован» в случае совпадения. Это позволяет значительно ускорить и повысить точность процесса верификации.

Calibre AutoWaiver. *Маскирование не требующих верификации топологий*

Calibre AutoWaiver обеспечивает «маскирование» и исключение из процесса верификации областей топологии, которым по какой-либо причине не нужна подобная процедура. Например, это могут быть заранее верифицированные для данной технологии физические IP-блоки или области, хотя и генерирующие формальные

ошибки верификации, но не оказывающие влияния на процесс изготовления и выхода годных.

Calibre YieldEnhancer. *Повышение выхода годных*

Опция Calibre YieldEnhancer реализует ряд операций, направленных на повышение «технологичности», а следовательно, повышение выхода годных. К таким операциям относятся заполнение металлом разреженных областей топологии (smart fill), удвоение межслойных переходов (double via) и др.

Calibre YieldAnalyzer. *Связь анализа выхода годных по факту изготовления и процесса физической верификации*

Опция Calibre YieldAnalyzer обеспечивает обратную связь между этапом анализа выхода годных после изготовления кристалла и процессом физической верификации. Она анализирует критические области отказов и формирует дополнительные правила (на языках SVRF и TVF), которые затем включаются в библиотеки DRC / DFM-правил с целью повышения выхода годных в последующих выпусках данного кристалла или других проектах, реализуемых по этой же технологии.

Calibre LFD. *Моделирование влияния вариаций параметров процесса фотолитографии и их коррекция*

Опция Calibre LFD моделирует влияние вариаций параметров процесса фотолитографии на возникновение дефектов в топологии кристалла и формирует корректирующие правила, сводящие к минимуму влияние вариаций.

Calibre nmLVS. *Извлечение параметров и сравнение с нетлистом. Передача паразитных параметров*

Модуль Calibre nmLVS решает классическую задачу извлечения параметров полупроводниковых приборов и их связности из топологического представления проекта и сравнения их с исходным нетлистом схемы проекта. Еще одна важная задача – передача паразитных параметров, полученных с помощью приложения экстракции Calibre xRC / XACT, в исходный нетлист для последующего более точного Spice-моделирования в приложениях Eldo или AFS. Как и другие приложения платформы Calibre, этот модуль поддерживает как плоские, так и иерархические проекты и параллельную обработку на многоядерных системах. Его интеграция с приложением Calibre PERC позволяет учитывать при моделировании не только геометрические, но и электрические параметры.

Calibre xRC / XACT. *Извлечение паразитных параметров непосредственно из топологии кристалла*

Одна из важнейших задач, стоящих перед разработчиками СнК, – извлечение паразитных параметров непосредственно из топологии кристалла. Это позволяет

точнее моделировать форму и задержки сигнала с учетом реального размещения и топологии ячеек. Решается эта задача с помощью пакета Calibre xRC на основе заранее верифицированных фабриками правил, описанных на языке SVRF. Такие файлы правил существуют практически для всех фабрик и технологических процессов. Как и другие приложения платформы, Calibre xRC поддерживает работу с иерархическими проектами и распределенную обработку на многоядерных системах. Поддерживаются практически все модели экстракции (R, C, RCC, RCLM и др.). Выходные форматы (Hspice, Eldo, Spectre, Calibreview, DSPF, SPEF и др.) позволяют моделировать нетлист с помощью всех известных систем моделирования. Эти же данные подходят для статического временного анализа, анализа целостности сигналов, анализа цепей питания на недопустимые падения напряжения. Для технологий с нормами менее 20 нм, включая FinFET, предлагается пакет Calibre xACT. Он включает новое счетное 3D-ядро, позволяющее учитывать все эффекты продвинутых технологий, например эффект уменьшения размеров «плавника» и стока, которые приводят к увеличению сопротивления между истоком и стоком, а также снижению быстродействия транзистора.

Calibre PERC. Анализ электрических эффектов, приводящих к нарушению работы схемы

Calibre PERC – мощное средство анализа различных электрических эффектов, которые могут привести к нарушению работы и отказу схемы. К ним относятся эффект электрического «перенапряжения» в цепях питания, эффект электростатического разряда, пересечение сигнальными проводниками областей с различными номиналами питания и многое другое. Calibre PERC поддерживает как стандартные файлы правил на языке SVRF, так и кастомизированные пользователем правила на Tcl-TVF. Приложение интегрировано с другими решениями платформы Calibre.

Повышение разрешающей способности при изготовлении фотошаблона (RET) и подготовка данных для фотошаблона (MDP)

Calibre nmOPC. Оптическая коррекция третьего поколения (65 нм и менее)

Calibre nmOPC – пакет оптической коррекции третьего поколения – предназначен для субнанометровых технологий 65 нм и менее. Он обеспечивает лучшие в своем классе скорость и точность моделирования. Пакет с универсальным ядром обработки полигонов Calibre nmDRC использует тот же командный язык. Поддержка формата OASIS позволяет значительно уменьшить объем выходного файла. Пакет также поддерживает работу в иерархическом режиме, обеспечивая

ускорение процесса моделирования, а также моделирование «разреженных» и «плотных» структур, которые можно выбирать послойно. Алгоритмы коррекции настраиваются в соответствии с используемым оборудованием изготовления фотошаблона.

Calibre OPCpro. Пакетная оптическая коррекция кристалла

Calibre OPCpro ориентирован на оптическую коррекцию кристалла в целом и используется в основном в пакетном режиме. Пакет поддерживает работу со смешанными проектами, часть блоков которых описана по правилам OPC, а другая часть – на основе оптических моделей, разработанных на базе параметров, измеренных в процессе изготовления фотошаблона. Как и nmOPC, этот инструмент подходит для проектов с использованием фазосдвигающей технологии изготовления фотошаблона (Phased Shift Mask – PSM). Calibre OPCpro включает лицензию Calibre nmOPC.

Calibre OPCverify. Верификация результатов оптической коррекции

Calibre OPCverify предназначен для верификации результатов оптической коррекции, выполненной с помощью Calibre nmOPC или Calibre OPCpro. Пакет обеспечивает точное моделирование контуров полигонов для самых современных технологий изготовления фотошаблона, включая иммерсионную фотолитографию. Подходит для использования в различных режимах, процессах и технологических маршрутах. С его помощью выполняются верификация технологического процесса OPC, финальная (sign off) верификация данных для изготовления фотошаблона, VT5, стандартная OPC-обработка проекта и др. Calibre OPCverify использует встроенные и кастомизируемые скрипты для обнаружения ошибок критического размера (CD), нарушения зазора, образование «мостов» и заземлений, двухслойных ошибок и др.

Calibre WorkBench. Разработка точных моделей оптической коррекции

Calibre WorkBench – средство разработки точных моделей оптической коррекции и файлов настройки пакетов Calibre nmOPC и Calibre OPCpro. Верифицированные модели и файлы настройки передаются инженерам, отвечающим за оптическую коррекцию топологии проекта, для изготовления фотошаблона, обеспечивающего безошибочное получение подложки кристалла. Пакет также генерирует тесты для соответствующих измерений в кремнии и выполняет тестовые задания на соответствующих моделях и файлах настройки с целью их верификации. В него входит визуализатор просмотра топологии в формате GDSII и в формате «разбивки» (fracturing) для изготовления маски.

Calibre Mask Process Correction. Оптимизация фотошаблона для технологии 32 нм и менее

Традиционные средства оптической коррекции ориентированы преимущественно на получение качественного выходного кристалла, поскольку это конечная цель изготовителя, а критические размеры проекта значительно меньше аналогичных размеров фотошаблона. Однако с переходом на технологию 32 нм и менее проблемы фотолитографии, возникающие при изготовлении кристалла, начинают играть существенную роль и при изготовлении фотошаблона, поскольку возможные ошибки на этом этапе неизбежно приведут к ошибкам при изготовлении кристалла. Пакет Calibre MPC выполняет примерно те же функции при изготовлении фотошаблона, что и mOPC / OPCpro при изготовлении кристалла.

Calibre Mask Data Preparation. Финальная обработка данных перед передачей на «разбивку» и изготовление фотошаблона

Calibre MDP выполняет финальную обработку данных перед передачей их на «разбивку» (fracturing) для оборудования для изготовления фотошаблона. В набор функций входят следующие операции: послойный вывод и зеркальное отображение данных, масштабирование, вращение, заполнение плейнов, глобальное и выборочное считывание размеров, иерархический контроль правил изготовления фотошаблона (Mask Rule Checking – MRC), контроль параметров «сближения» для изготовления фотошаблона (Mask Proximity Checking – MPC). В дополнение к стандартному формату GDSII Calibre MDP обеспечивает вывод данных в форматах, стандартных для оборудования для изготовления фотошаблона – MEBES, JEOL, Micronic, VSB и др.

Calibre Fracture. Экспорт данных в стандарты Micronic, JEOL, MEBES, Toshiba, Hitachi

Calibre Fracture экспортирует данные из базы данных Calibre в стандартные для изготовителей оборудования для фотошаблонов – Micronic, JEOL, MEBES, Toshiba, Hitachi.

Постпроизводственное тестирование и диагностика ИС (платформа Tessent)

FastScan ATPG и TestKompress ATPG. Генерация тестовых векторов для постпроизводственного тестирования

Tessent FastScan генерирует тестовые векторы для постпроизводственного тестирования ИС. Инструмент подходит для обнаружения почти всех неисправностей, в том числе константных, IDDQ, неисправностей в переходных режимах, нарушений величины задержки, мостовых ошибок и т. п. Кроме того, он генерирует схемы специальной синхронизации для тестирования кристалла на рабочих скоростях. Tessent FastScan поддерживает иерархические проекты, полностью и частично сканируемые проекты. Tessent TestKompress выполняет примерно те же функции, что и Tessent FastScan. Отличается тем, что генерирует схемы встроенной компрессии/декомпрессии, позволяющие значительно уменьшить объем тестовых векторов.

Tessent Scan

Инструмент синтезирует в нетлисте проекта цепи сканирования. В результате проект полностью готов к тестированию и компрессии тестовых векторов для ATPG. В процессе синтеза происходит замена и «сшивка» триггеров, анализ схемы на ограничения по тестированию, контроль правил проектирования (DRC) в синтезируемой части и автоматическое исправление ошибок. Поддерживаются структуры Mux-DFF, Clocked-Scan, LSSD. Инструмент легко интегрируется в маршруты проектирования других поставщиков.

Tessent LogicBIST

Инструмент синтезирует встроенное оборудование для тестирования логической части цифровых проектов. Он предназначен для систем на кристалле, проектируемых в глубоко субмикронном диапазоне, и существенно повышает качество тестирования с одновременным сокращением его стоимости и времени выхода на рынок готового изделия. Tessent LogicBIST поддерживает полностью иерархические проекты, а также портируемость как локальных тестов для отдельных ядер, так и глобальных тестов для всего кристалла в целом на протяжении всего жизненного цикла изделия.

Tessent MemoryBIST

Инструмент синтезирует встроенные контроллеры тестирования схем памяти. Он полностью поддерживает иерархические проекты, а также обеспечивает тестирование на рабочей частоте, загрузку новых алгоритмов тестирования в рабочем режиме, диагностику отказов и восстановление (замену) отказавших блоков встроенной памяти. Процесс синтеза полностью автоматизирован и обеспечивает контроль DRC, планирование тестов, интеграцию с другими маршрутами проектирования и верификацию тестового оборудования как на RTL, так и на вентиляльном уровне. ●

ЗАО "Руднев-Шиляев"

Разработка и производство:

- платы сбора данных
- измерительные приборы
- виброакустические системы
- инструментальные решения задач заказчика

Москва (495) 787-63-67
(495) 787-63-68

www.rudshel.ru
adc@rudshel.ru

NDT

RUSSIA

Ufi
Approved
Event

NDT Russia

19-я Международная выставка
оборудования
для неразрушающего контроля

22–24
октября
2019

Москва,
Крокус Экспо



Организатор — компания MVK
Офис в Санкт-Петербурге

MVK
Международная
Выставочная
Компания

+7 (812) 380 60 10/00
ndt@mvk.ru

Получите бесплатный
электронный билет на сайте

ndt-russia.ru,

используя
промокод **S58-PD-6497**

12+