

Проектирование многокристальных модулей и систем в корпусе

К. Райнболд¹, К. Фелтон¹, Д. Вертянов², К. Никеев¹

УДК 658.512 | ВАК 05.13.12

Тенденции увеличения функциональной сложности при ужесточении требований к массогабаритным параметрам компонентов и модулей электронных устройств в последние годы стимулируют развитие технологий трехмерной интеграции. Однако, проектирование современных высокоплотных корпусов, многокристальных модулей и систем в корпусе имеет ряд важных особенностей, связанных как с созданием конструкции и топологии будущего изделия, так и с передачей данных об изделии на производство. В статье представлены общие сведения о технологиях гетерогенной интеграции микросборок, сквозном маршруте проектирования систем в корпусе, применяемых в Mentor, A Siemens Business, ведущей компании в области САПР электроники.

ГЕТЕРОГЕННАЯ ИНТЕГРАЦИЯ СИСТЕМ В КОРПУСЕ

Традиционно MCM (Multi-Chip-Modules, многокристальные модули (МКМ)) являются способом сборки нескольких ASIC (application-specific integrated circuit, интегральная схема специального назначения) или ASIC с микросхемами памяти в более дешевый, малогабаритный и надежный модуль, который представляет собой альтернативу одной большой SoC (system-on-chip, система на кристалле (СНК)). Вместо того чтобы интегрировать всю или большую часть системы в массивную и многофункциональную СНК, можно спроектировать и изготовить несколько несложных ASIC по освоенной технологии с большим выходом годных (рис. 1), которые вместе будут работать, как одна СНК. Эта идея оказалась востребованной и перспективной для рынка изделий аэрокосмического и специального назначения, где объемы продукции ниже, чем на гражданском рынке, и где создавать многофункциональную СНК будет либо невозможно, либо экономически невыгодно.

По мере роста рынка мобильных беспроводных устройств появился спрос на обработку сигналов, флеш-память и беспроводную связь в системе, которая могла бы помещаться внутри изделия размерами меньше, чем человеческая ладонь, и при этом быть экономически выгодной. Эта сложная задача привела к появлению другого подхода к корпусированию и инициировала использование вертикальной сборки бескорпусных интегральных схем.

Данный подход, называемый «система в корпусе» (СвК, SiP – systems-in-package), потребовал создания межсоединений от кристалла к кристаллу, что сделало корпус критическим элементом всей технологии. СвК можно рассматривать как вертикальный вариант МКМ (рис. 2) в противоположность горизонтальным МКМ, получившим распространение в высокопроизводительной вычислительной технике.

Преимущества СвК: объединение IP-блоков; повторное использование IP-блоков; смешанное аналоговое / цифровое проектирование; малые риски, связанные



Рис. 1. Модуль Clarkdale компании Intel

¹ Mentor, A Siemens Business.

² Институт НМСТ НИУ МИЭТ, vdv.vertyanov@gmail.com.

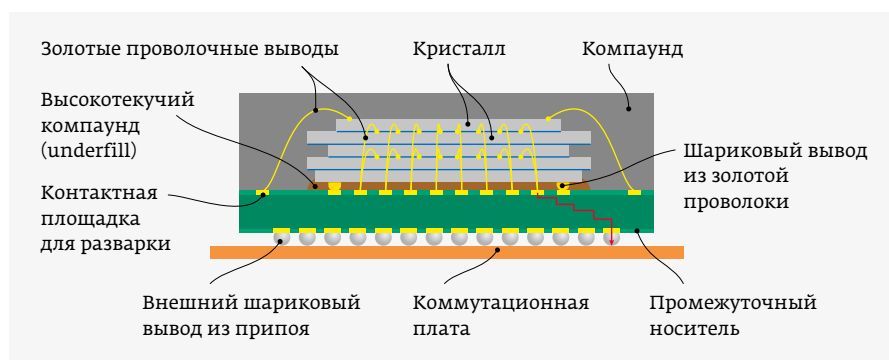


Рис. 2. Пример структуры СвК (технология СвК вертикальной сборки ИС, объединяющая пять кристаллов)

как требования к системным вводам/выводам, ограничения по целостности сигналов и температуре, размещение и ориентация кристалла, конфигурация вертикальной сборки, конструкция подложки, корпуса и промежуточного носителя (интерпозера), проектирование межсоединений ИС и уровня сборки, а также необходимо принимать во внимание ограничения системной печатной платы.

Первым требованием для получения оптимальных результатов является наличие совместимой сре-

ды проектирования для СвК. Она считывает и записывает иерархический список цепей верхнего уровня всех разнородных элементов (цифровых и аналоговых схем, коммутационной подложки, корпуса) и объединяет их, даже если они спроектированы в разных программных продуктах.

Также среда проектирования должна формировать схемы и генерировать полные модели (рис. 4). После чего реализуется полное поуровневое размещение всех гетерогенных элементов СвК.

Должен быть доступен новый класс алгоритмов, способных работать в трехмерном пространстве, позволяющих правильно объединить необходимые компоненты и элементы, затем разместить их вместе с остальными компонентами СвК и правильно расположить интерфейсы между всеми элементами, включая выходные контактные площадки сборки.

Стратегия интеллектуального планирования вводов/выводов должна применяться ко всем задействованным ASIC, чтобы одновременно проверять и/или оптимизировать начальную конфигурацию периферии вводов/выводов, соблюдая различные наборы правил, чтобы соответствовать процессу проектирования кремниевых кристаллов, а также правилам схемотехники и сборки.

с проектированием; интеграция большого объема памяти; меньшая сложность технологического процесса; низкая стоимость разработки и минимальное время вывода изделия на рынок. Данный модульный принцип конструирования, идеально подходящий для гетерогенных (разнородных) изделий, может стать востребованным для всех, кто желает объединить ASIC в высокопроизводительную подсистему с функциональными характеристиками, близкими к заказной СМК, затратив при этом значительно меньше средств и времени. Таким образом, СвК объединяет интегральные схемы, в том числе СМК и дискретные компоненты, с использованием технологий горизонтальной или вертикальной интеграции (рис. 3).

В статье рассмотрена СвК в составе системы на печатных платах, применяемых во многих компаниях. Такие СвК, будучи интегрированным набором разнородных интегральных схем, должны не только соответствовать целям интеграции и производительности, но и быть оптимизированными для специализированной печатной платы (одной или нескольких).

ОБЩИЙ ВИД СИСТЕМЫ

Задача создания новой многокристальной гетерогенной СвК и системной платы (или нескольких плат) под нее решается двумя-тремя разными инженерными группами с разными подходами. Хотя объединить усилия этих групп можно с помощью координационных совещаний, по-настоящему успешный план совместной работы в действительности требует методологии, приемов и, как правило, определенной технологии и автоматизации.

Разработчикам СвК, часто многопрофильной команде, приходится работать сообща над решением нескольких задач оптимизации, таких

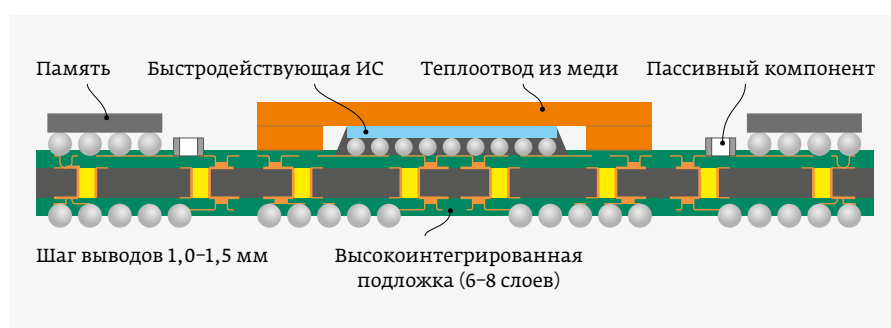


Рис. 3. Пример типовой конструкции гетерогенной СвК (поперечное сечение СвК SuperFC)

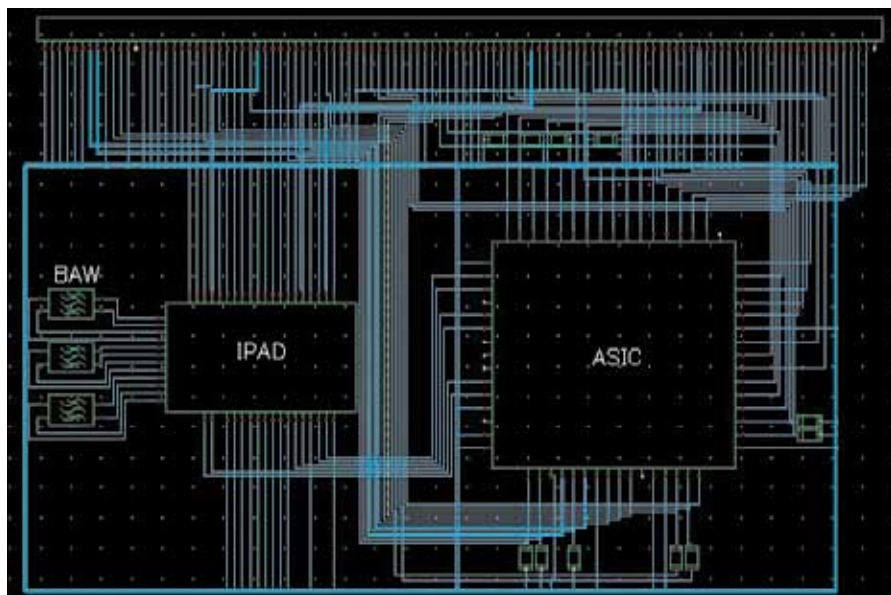


Рис. 4. Схема простой гетерогенной СВК

ИНТЕГРАЦИЯ ПОДЛОЖЕК

Интеграция нескольких подложек – широко известный подход при создании большинства сложных устройств, включая СВК в составе системы на печатных платах. Это сложная задача, особенно если пытаться ее решить с помощью средств проектирования, ориентированных на создание топологии. Более гибкий и рациональный подход начинается с моделирования, компоновки и оптимизации. В первую очередь основное внимание уделяется моделированию для определения оптимального размещения элементов (ИС, МЭМС, МИС СВЧ и др.) на коммутационной подложке и установления требований к их входным-выходным передающим линиям. Также при интеграции учитываются требования и параметры подложки корпуса и конструктивные характеристики (геометрические размеры, форм-фактор) других плат, с которыми будет взаимодействовать разрабатываемая СВК. Отраслевые стандарты для каждого объекта системы разные: например, для данных ИС используется формат DEF/LEF, а для подложки используются ASCII-файлы в виде csv-таблиц или AIF-файлов. Это дает инженерам возможность визуализировать всю «систему».

После того как завершено формирование прототипа системы,

необходимо на каждом ее уровне устранить возможные ошибки наименований сигнальных цепей и возможных коротких замыканий. Этот процесс должен позволять разработчикам различных частей системы применять наиболее знакомую, привычную и удобную для них среду проектирования. Например, интерфейс программирования Verilog для разработчиков ИС или графический интерфейс для разработчиков печатных плат.

Как правило, распиновка подложки СВК (расположение и назначение контактов и сигнальных проводников) является наиболее гибким инструментом оптимизации соединений между несколькими ИС и печатной платой.

Необходимым требованием для начала процесса интеграции интерфейсов является доступность моделей для всех компонентов и элементов, входящих в состав системы. Как минимум необходима модель посадочного места для кристалла, которая часто доступна в формате CSV или AIF от подразделения разработчиков ИС. Также необходим список используемых соединений (netlist) для компонентов, который, опять же, может быть реализован в формате

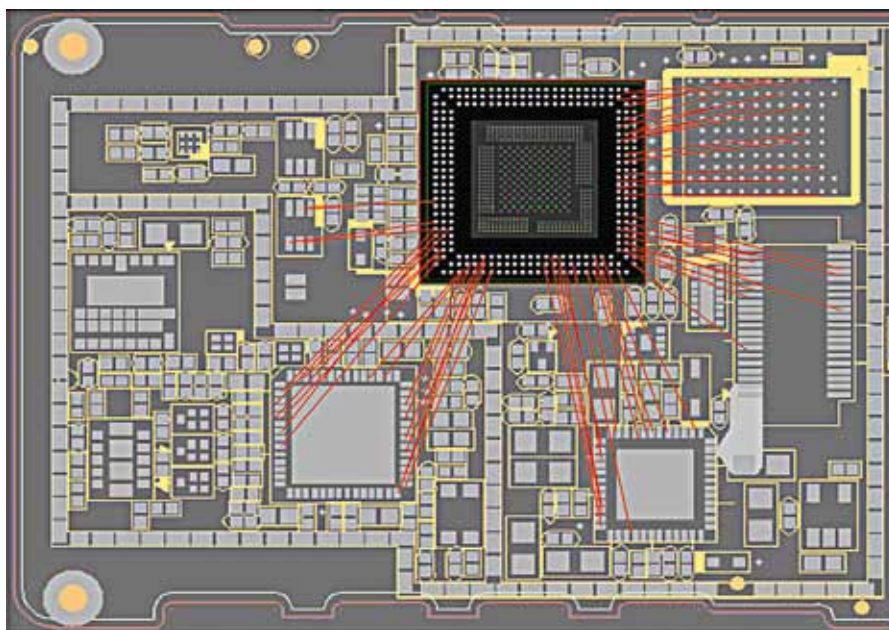


Рис. 5. Пример отображения «резиновых связей» между выходными шариковыми выводами подложки СВК и контактными площадками подложек трех основных компонентов системы

CSV или в Verilog. Если этих моделей нет, то необходимо сгенерировать их вручную или создать на этапе моделирования.

После того как прототип создан, появляется возможность его проверки перед переходом к полноценной разработке непосредственно топологии. Такие проверки могут включать LVS – верификацию полного списка соединений всей системы на уровне СвК, анализ статической синхронизации на уровне системы (STA) и оптимизацию межсоединений между объектами СвК. Цель состоит в том, чтобы на этапе создания прототипа правильно соотнести цепи с пинами / шариковыми выводами BGA / бампами без выполнения ECO (доработки проекта в связи с выявлением ошибок) во время физического проектирования.

ПОДРОБНАЯ РЕАЛИЗАЦИЯ СвК

Физическое проектирование подложки СвК создает много проблем для конструктора и процесса проектирования в целом, а также требует использования передовых технологий, таких как:

- высокоплотные межсоединения (High density interconnect – HDI);
- микроотверстия (Microvias);
- встроенные пассивные компоненты / элементы (Embedded passives);
- радиочастотные контуры (RF shapes);
- 3D-проволочный монтаж (3D wire bonding);
- генерация посадочных мест с контактными площадками под разварку проволокой (Bond pattern generation);
- трассировка подложки (Substrate routing);
- сложные полигоны питания и земли;
- соблюдение расширенных требований и правил изготовления.

Технология трехмерного монтажа с помощью проволочных соединений создает ряд проблем при проектировании

корпуса ИС, особенно если соединяется несколько кристаллов и если число контактных площадок ввода / вывода колеблется между несколькими сотнями и тысячами. Чтобы успешно создавать посадочные места для кристаллов, средства проектирования должны поддерживать автоматическую генерацию контактных площадок полностью всего стека кристаллов с соблюдением всех аспектов трехмерной сборки ИС и соблюдением многочисленных правил и ограничений вертикальной интеграции. Как только посадочное место кристалла создано, проблема соединения контактных площадок с выводами корпуса становится очевидной. Часто единственным решением для разводки является оптимизация «резиновых связей» ввода / вывода ИС во время трассировки (рис. 5).

Просмотр данных о печатной плате, СвК и бампах без лишней детализации помогает выявить проблемы более эффективно. Интеграция данных из вышеуказанных сред проектирования упрощает процесс решения реальных проблем разработки в этих областях.

Неправильная трассировка, к примеру, обычно вызвана не множеством соединений («резиновых связей»), а их пересечением. Распутывание (оптимизация соединений) учитывает назначение «резиновых связей» на «материнской» печатной плате, прохождение соединений через корпус и кристалл ИС. Каждый сегмент системы состоит из тысячи сигналов, вдоль которых формируется множество соединений. Пересечение «резиновых связей» может быть легко устранено только при визуализации всех соединений от кристалла ИС до «материнской» печатной платы.

Оптимальный способ решения проблемы показан на рис. 6. Определение группы сигналов, добавление кристалла ИС и корпуса, а затем оптимизация расположения «резиновых связей». На первый взгляд, это похоже на проект печатной платы, но здесь фактически видны внутренние элементы корпуса и кристалла ИС.

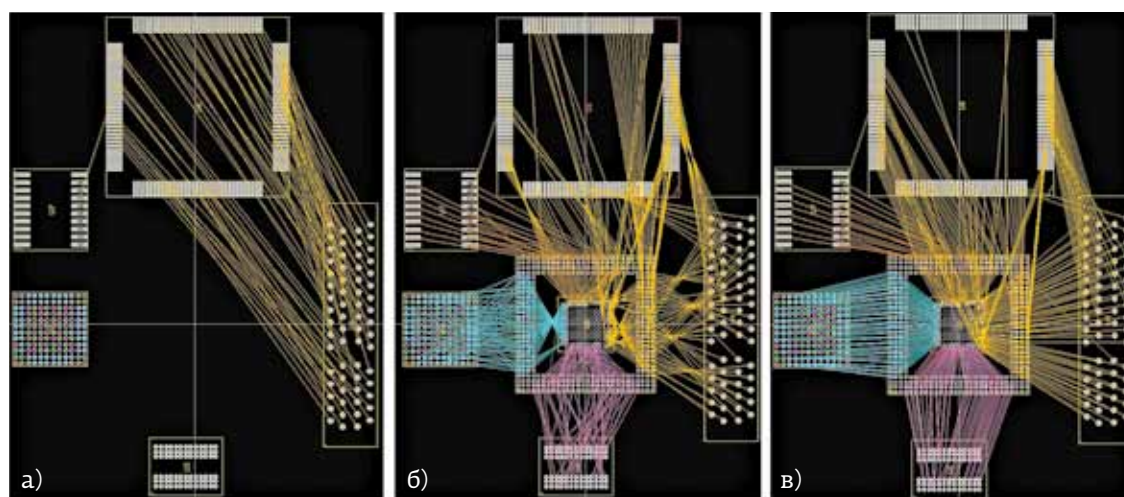


Рис. 6. Пересечение «резиновых связей» и их оптимизация до разводки: «материнская» печатная плата (а); плата с кристаллом ИС и корпусом (б); оптимальный вариант расположения «резиновых связей» (в)

СОВМЕСТНАЯ РАЗРАБОТКА КАК ЧАСТЬ МЕТОДОЛОГИИ ПРОЕКТИРОВАНИЯ

При совместном проектировании печатных плат, корпусов и систем на кристалле важно учесть, что предварительная оптимизация «резиновых связей» обеспечивает в последующем качественную и простую в реализации разводку. Совместная разработка обеспечивает гибкость проектирования во всех трех средах проектирования. Оптимизацию цепей следует производить от системной печатной платы к кристаллу при отсутствии завершенной топологии подложки корпуса.

В случае, если проводится одновременная разработка (проектирование в команде в режиме реального времени) печатной платы, корпуса и кристалла, предварительная оптимизация позволяет выполнить идеальную, простую в реализации разводку топологии. Совместная разработка позволяет добиться гибкости во всех трех средах проектирования, так как проектирование печатной платы, корпуса и кристалла начинается одновременно. В случае, когда начинается разработка системы для уже готового кристалла, у разработчиков все еще остается определенная гибкость при создании шариковых выводов и разводки на плате. В таком случае трассировку лучше вести от кристалла к печатной плате.

При запуске нового проекта с известной топологией подложки корпуса, например типа BGA (с матричным расположением внешних выводов), остается больше гибкости в разводке соединений и на уровне системной платы. В этом случае оптимизацию цепей следует начинать от кристалла к системной печатной плате, то есть в обратном направлении (рис. 7).

Рассматривая эти два варианта, становится очевидным, что программное обеспечение для проектирования должно объединять все три типа проектных данных для обеспечения единой среды разработки. Интеграция должна быть достаточно гибкой, чтобы при переключении режимов от печатной платы к корпусу микросхемы или от корпуса микросхемы к печатной плате не возникло проблем в оптимизации резиновых связей. Синие линии на рис. 7 показывают, как будет выглядеть проект в единой системе. Процесс маршрутизации становится проще и быстрее, отпадает необходимость в межсоединениях. При этом появляется меньше переходных отверстий, улучшается целостность сигналов и питания. Меньшее количество межсоединений и переходов позволяет создавать меньшее количество слоев, что, в свою очередь, приводит к уменьшению размера и снижению стоимости изделия.

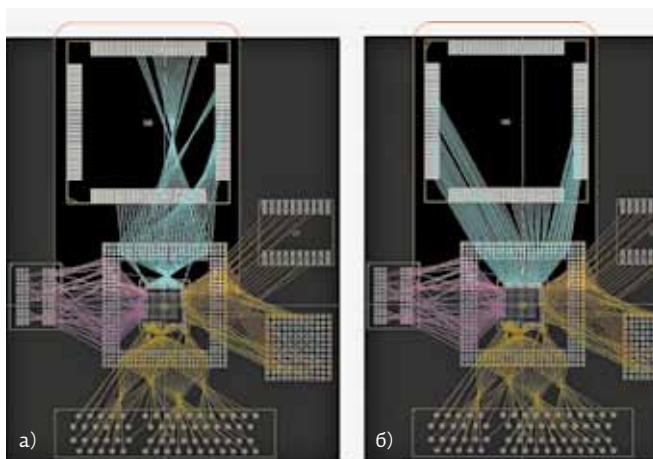


Рис. 7. Вариант оптимизации «резиновых связей» между компонентом на подложке СвК и кристаллом микроконтроллера: до оптимизации (а); после оптимизации (б)

ТРЕБОВАНИЯ К ПРОВЕРКЕ СИСТЕМ В КОРПУСЕ

Помимо этапа разработки, существует и этап анализа и верификации системы. Этот этап является важной частью проектирования систем в корпусе. Для точного моделирования сверхвысокоскоростных сигналов на этапе анализа и верификации необходимо проведение анализа на системном уровне, включающего широкий спектр физических эффектов, структур и технологий моделирования.

Моделирование пути прохождения сигнала (канала) требует точного воспроизведения буферов ввода/вывода, всех соединений между кристаллами (включая корпус ИС, трассировку печатных плат, разъемы, переходные отверстия с развязывающими конденсаторами) и связанными с ними структурами распределения питания (экранные слои в корпусе и печатной плате, развязывающие конденсаторы и области металлизации с переходными отверстиями). Пример

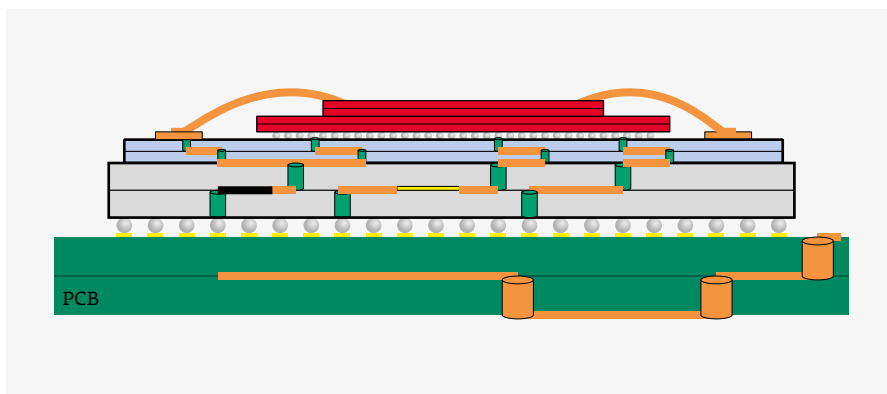


Рис. 8. Пример модели СвК, подготовленной для анализа и верификации

модели СВК, подготовленной для анализа и верификации, показан на рис. 8.

Целостность питания зависит от правильного обеспечения питания для буферов ИС и качества сигнала, проходящего и взаимодействующего с сигнальными слоями печатной платы или корпуса. Для полного понимания того, как нужно обеспечить питание ИС, необходимо проводить моделирование всей системы в корпусе, а, возможно, и установленной на печатную плату. Классические проблемы целостности сигнала (такие как задержка) также вызывают трудности в процессе проектирования корпуса. Например, для сигналов типа SERDES применяются очень высокие частоты, которые требуют тщательного моделирования.

В дополнение к моделированию разработчики корпусов обычно следуют очень строгим конструктивно-технологическим правилам, поскольку им необходимо выдерживать дифференциальные импедансы, устранять отражения, неоднородности и т. д.

Некоторые элементы типовых корпусов (например, топология, переходные отверстия, а иногда и проволочные микросоединения) могут быть «извлечены» и проверены отдельно с использованием хорошо зарекомендовавших себя методов моделирования целостности сигналов. Другие же (менее контролируемые проволочные микросоединения и, возможно, шариковые выводы) требуют более трудоемкого,

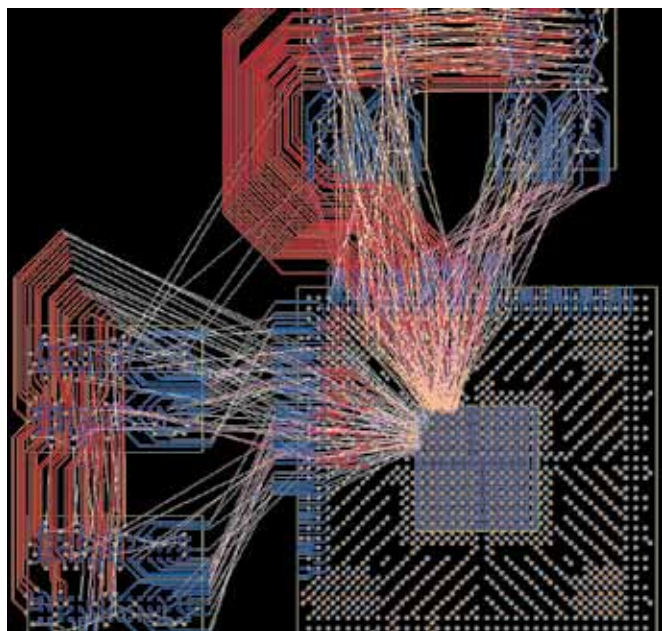


Рис. 9. С помощью материнской печатной платы разработчик корпуса может назначить и оптимизировать сигнал/выходной шариковый вывод и сигнал/бамп на кристалле, обеспечивая общую оптимизацию на системном уровне

трехмерного «извлечения». Точные широкополосные модели таких элементов, как правило, записаны в виде S-параметров.

Многие разработчики корпусов склонны полагаться на 3D-моделирование, но такие инструменты, как правило, сложны в использовании и занимают много времени. Развернутое «3D-извлечение» с участием тысяч проволочных микросоединений и других элементов межсоединений нецелесообразно. Таким образом, сложная задача должна быть, по возможности, разбита на подэлементы, каждый из которых моделируется наилучшим доступным способом, именно тем, который обеспечивает достаточную точность, но при этом также имеет разумную скорость и простоту использования.

ИНТЕГРАЦИЯ В ЕДИНУЮ СИСТЕМУ РАЗРАБОТКИ СРЕДСТВ ПРОЕКТИРОВАНИЯ КРИСТАЛЛА, КОРПУСА И ПЕЧАТНОЙ ПЛАТЫ

Попытка на практике совместить различные среды разработки в одном проекте может создавать проблемы. При объединении кристалла, корпуса и печатной платы их проекты в идеале должны обмениваться данными друг о друге напрямую. Подложки корпусов, многокристальные модули и обычные компоненты в корпусе BGA – это все физические объекты электронных систем, поэтому задачи их проектирования являются аналогичными.

Зачастую, чтобы спроектировать подложку корпуса, компании используют программы для разводки печатных плат. Это возможно в том случае, когда изделия имеют схожие конструктивные особенности – форму, размер, а также назначение и небольшое количество элементов высокой плотности интеграции (например, отверстия, проводники или кристаллы, монтируемые по методу флип-чип-монтажа). Однако, если проектируется многокристальная сборка высокой степени интеграции с многоярусным расположением кристаллов на интерпозере (кремниевой или полимерной подложке), в которой элементы соединены между собой проволочными микровыводами, тогда лучшим выбором все же будет специальное программное обеспечение для проектирования корпусов ИС.

При проектировании корпуса назначение и оптимизация вводов/выводов на основе правил является аналогом трассировки с учетом ограничений. Ограничения конструкции корпуса включают группирование сигналов, блокирование сигналов и близость критического сигнала к земле. Наличие годных выходных шариковых выводов означает, что они оптимальны как для кристалла, так и для трассировки подложки корпуса и печатной платы. Это также подразумевает, что выходные шариковые выводы соответствуют всем требованиям, предъявляемым разработчиками кристаллов, корпусов и печатных плат.

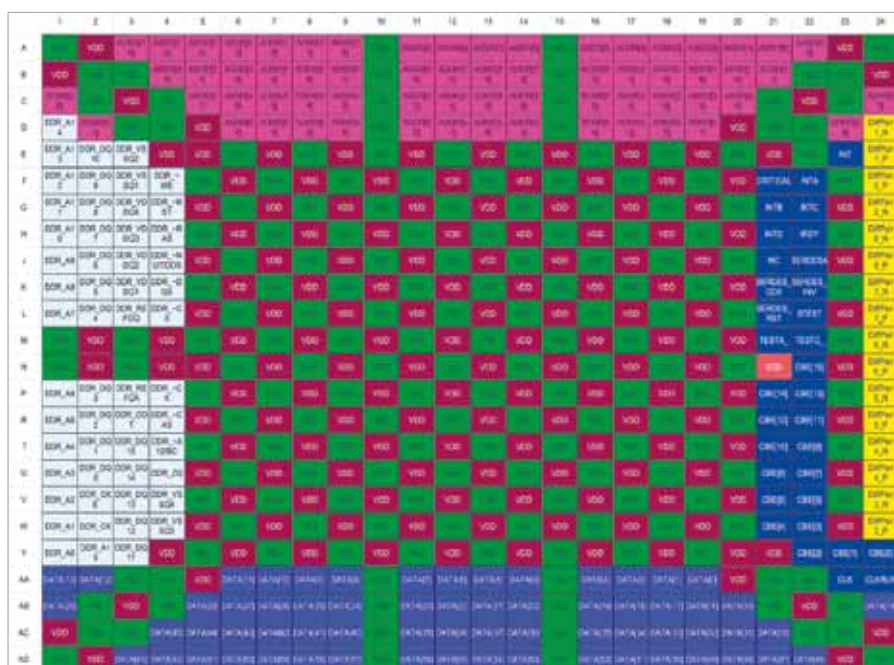


Рис. 10. Экспорт карты шариковых выводов осуществляется быстро и легко при использовании программного обеспечения для проектирования СВК

Подразумевается также, что они всегда будут соответствовать этим правилам, даже после возможных внесенных изменений в проект (ECO).

ПРОБЛЕМЫ ПРИ ТРАССИРОВКЕ

При проектировании реальных устройств (рис. 9) все параметры трассировки слишком сложны. Специальные стандарты или интерфейсы предполагают строго определенный план разводки, повышая уровень сложности, при этом они должны совмещаться с трассировкой в различных слоях с помощью переходных отверстий.

Несмотря на то, что вы можете осознать и представлять каждый элемент этой сложной системы по отдельности, все же для одного человека слишком трудно представить и оптимизировать их все одновременно. Автоматизация и абстракция необходимы для эффективной оптимизации, а затем реализации проекта этого уровня сложности.

Вместо того чтобы передавать таблицы Excel, заполненные данными о сигналах и выводах, полноценное программное обеспечение для проектирования может экспортировать карту шариковых выводов (рис. 10), без необходимости вручную вводить названия, полагаться на контроль версиями или проверять соответствие между списками сигналов.

Документация, экспортированная из системы, гарантирует правильное соответствие версий документа проекту, который был изменен: ведомость материалов, список соединений и шариковых выводов, данные по размещению и т. д.

УПРАВЛЕНИЕ ИЗГОТОВЛЕНИЕМ И СБОРКОЙ

Как только проект завершен и не содержит ошибок межсоединений, а также целостности сигналов и питания, настало время проверить его на готовность к изготовлению.

Известно, что лучшие в своем классе организации на 68% чаще, чем их коллеги, используют проверку проектирования с учетом технологических требований (DFM), для того чтобы устранить производственные дефекты, сократить количество проверок и время выхода изделия на рынок. И это становится все более важным по мере того, как возрастает сложность СВК. Цель проста: сокращение затрат на доработку проекта за счет обратной связи с изготовителем, получение немедленной обратной связи по потенциальным производственным проблемам во время проекти-

рования, повышение предсказуемости времени вывода изделия на рынок, а также управление производственными затратами за счет работы и деятельности поставщика. Лучшим способом решить эту проблему является включение DfX во время цикла проектирования, используя технологии сконцентрированной DfX-проверки, которые могут быть доступны во время проектирования/трассировки и применяют требования производства, которые в дальнейшем будут использоваться изготовителем/компанией, специализирующейся на сборке.

Проектирование системы в корпусе в соответствии с рассмотренными в статье технологиями и методами обеспечивает наилучший результат. Но прежде чем приступить к созданию и тестированию в лаборатории, попробуйте воспользоваться моделированием как более быстрым и менее затратным способом обнаружения неожиданных проблем с целостностью сигналов и обеспечения работоспособности проекта в соответствии с техническим заданием.

Xpediton® Substrate Integrator и Designer Package совместно с Xpediton PCB Designer, HyperLynx® SI/PI и Valor® NPI/Calibre® предоставляют интегрированную технологию совместной разработки системы в корпусе – от прототипирования до изготовления готового устройства (Gerber или GDS) – в эффективном и предсказуемом маршруте проектирования.

SEMIEXPO RUSSIA

SEMIEXPO Russia объединяет международную специализированную выставку с двухдневной деловой программой, где ежегодно принимают участие руководители, эксперты, топ-менеджеры крупнейших компаний по микроэлектронике, представители органов государственной власти, научно-исследовательских институтов и международных ассоциаций.

Программные мероприятия на SEMIEXPO Russia 2020

SEMI Member Forum 2020

Международный MEMS Forum

Новый этап конкурса
«Инновационная радиозлектроника»

Обзор карьерных возможностей
и ежегодный День Талантов

Экспортные перспективы.
Открытый диалог с зарубежными
рынками

Экспозиция кластеров из Европы и
Азии

МОСКВА

ЭКСПОЦЕНТР

9-10 ИЮНЯ 2020

**ВЫСТАВКА И КОНФЕРЕНЦИЯ
ПО ТЕХНОЛОГИЯМ, МАТЕРИАЛАМ,
СТАНДАРТАМ И ОБОРУДОВАНИЮ В
ОБЛАСТИ МИКРОЭЛЕКТРОНИКИ**

Больше информации на официальном сайте

www.semiexpo.ru

 **@semiexporussia**