

Производственные технологии микроэлектроники: проблемы развития

Часть 1

М. Макушин¹, В. Мартынов, д. т. н.²

УДК 621.37 | ВАК 05.27.06

Развитие микроэлектроники отличается не только цикличностью конъюнктуры рынка, но и некоторой цикличностью подходов к проектированию и производству ИС. В зависимости от конечного применения постоянно соперничают подходы универсальности и специализации, создания высокоинтегрированных архитектур и приборных структур, а также возвращение (на новом технологическом уровне) к более простым решениям. Практически на каждом «рубежном» технологическом поколении возникает вопрос предпочтения дальнейшего масштабирования или отказа от него в пользу углубленной модернизации наиболее удачных технологий на достигнутом уровне топологий. Все это тесно связано с развитием производственных процессов и оборудования.

Подходы к созданию ИС на протяжении всего развития микроэлектроники претерпевали существенные изменения, связанные с непрерывным процессом пропорционального уменьшения размеров элементов (масштабирование). Долгое время господствовали планарные приборы, эволюция которых описывалась так называемым законом Мура³. Этот закон достаточно исправно действовал до периода 2015–2017 годов, когда началось освоение технологических процессов с топологиями 16/14 нм. Здесь планарная технология подошла к фундаментальным, физическим пределам дальнейшего развития, и в качестве выхода из сложившейся ситуации все шире начали применяться подходы 2,5D- и 3D-интеграции, связанные не столько с начальными этапами изготовления ИС (front-end), такими как формирование транзисторных структур, сколько с завершающими этапами (back-end), включая сборку и корпусирование.

Возникли два новых технологических подхода – «Больше Мура» (More Moore) и «Больше, чем Мур» (More than Moore). Первая концепция направлена на

обеспечение дальнейшего действия «Закона Мура» за счет новых материалов (углеродные нанотрубки, графен и т. д.) и приборных архитектур (молекулярная электроника, спинтроника и т. п.). Вторая предусматривает достижение больших результатов и в более широком диапазоне благодаря использованию 2,5D- и 3D-архитектур, позволяющих существенно наращивать функциональность, сокращать занимаемое пространство и потребляемую мощность, а также в использовании перспективных материалов и приборных структур.

Уровень 16/14 нм характеризовался резким ростом стоимости проектирования, разработки новых технологических процессов и новых типов технологического оборудования, а также появлением finFET. Так, по данным корпорации Gartner, средняя стоимость проектирования 16/14-нм ИС в 2018 году составляла около 80 млн долл., по сравнению с 30 млн долл. для 28-нм планарных приборов. Более того, проектирование 7-нм ИС оценивалось уже в 271 млн долл. [1]. Что касается finFET, то это полевой МОП-транзистор с двумя изолированными затворами, созданный на КНИ-подложке, у которого затвор расположен на двух, трех или четырех сторонах канала или окружает канал, формируя таким образом структуру двойного затвора. Эти приборы получили приставку fin из-за того, что форма области истока/стока напоминает спинной плавник рыбы. FinFET-приборы обладают значительно меньшим временем переключения и большей плотностью тока, чем широко распространенная КМОП-технология с планарными структурами. Трехмерная структура finFET создает дополнительные технологические

¹ ЦНИИ «Электроника», главный специалист, mmackushin@gmail.com.

² ФГБНУ «Аналитический центр», проф., Минобрнауки РФ, эксперт.

³ Это не природный (физический) закон, а эмпирическое наблюдение Гордона Мура, одного из основателей и ведущих специалистов корпорации Intel, сформулированное в конце 1970-х годов. Его смысл – удвоение числа транзисторов на кристалле каждые 18 месяцев без увеличения удельной стоимости функций для конечного потребителя.

трудности в проведении процессов литографии, осаждения и травления слоев.

Дальнейшее масштабирование приводит к тому, что на определенном уровне (менее 5 нм) finFET будут заменены новыми типами транзисторов. Кроме того, возникают проблемы с интеграцией в наиболее высокопроизводительных применениях. Кажется, совсем недавно вершиной эволюции ИС стали «системы-на-кристалле» (СНК, SoC), завершившие эволюцию некоторых типов конечных электронных систем сначала в функциональные блоки и платы, а затем в отдельные ИС. Теперь же в некоторых применениях набирает популярность обратный подход, разделение СНК на более простые структуры. Несколько таких структур, получивших название «чиплет» (chiplet), разделяют между собой функции СНК при корпусировании в многокристальный модуль. Первые чиплеты, созданные в 2013 году в исследовательском центре Пало-Альто компании Хегох, представляли собой специализированные микросхемы, обладающие минимальной вычислительной мощностью и рядом других функций, которые позволяли им стать малым микропроцессором, устройством хранения данных, сложной логической схемой или частью MEMS, выполняющих функции датчиков различных параметров (освещенности, температуры, давления, движения, ускорения и т. д.). Сейчас чиплеты намного разнообразнее.

Можно говорить о том, что на уровне 3-нм топологий начнется размытие границ между СНК, модулями и платами. Перспективы настолько сложны и многообразны, что определенные прогнозы строить сложно.

Все это не может не сказываться на развитии технологических процессов и производственного оборудования. В рамках подхода «Больше Мура» все большую популярность приобретают методики атомарно-слоевого осаждения (atomic layer deposition, ALD) и химического осаждения из паровой фазы (ХОПФ). Для концепции «Больше, чем Мур» перспективными становятся эпитаксиальные процессы, и в первую очередь ХОПФ-метод разложения металлоорганических соединений (metal-organic chemical vapor deposition, MOCVD). Для обоих направлений возрастает значение технологии ионной имплантации. Наконец, о EUV-литографии (extreme ultraviolet, предельная УФ-область спектра, длина волны излучения степперов – 13,5 нм), которая после почти 20-летней разработки начала внедряться в массовое производство ИС. Предполагалось, что ее использование позволит отказаться от методик многократного формирования рисунка (dual patterning, multiple patterning), сократив число технологических переходов, уменьшив сложность и длительность процесса формирования кристаллов ИС. Однако помимо астрономической цены установок EUV-литографии

выяснилось, что их использование в «однопроходном» варианте ограничено 7-нм топологиями. На меньших топологиях опять потребуются методики неоднократного формирования рисунка или увеличения аспектного отношения EUV-установок (с 0,33 до 0,55). Это снова усложняет процесс изготовления ИС, увеличивая его длительность и стоимость.

ЭВОЛЮЦИЯ ТРАНЗИСТОРНЫХ СТРУКТУР

Появляющиеся перспективы выхода на рубеж технологических процессов с топологиями менее 5/3 нм ставят вопрос об эволюции транзисторных структур (рис. 1). В этом плане интересен доклад, представленный специалистами Межуниверситетского центра микроэлектроники (IMEC, Левен, Бельгия) на Международной конференции по электронным приборам в декабре 2019 года (IEDM-2019). Он касался первых результатов моделирования стандартных ячеек нового прибора, использующего архитектуру с разделением канала (forksheet, fork – вилка, разделение, разветвление, формирование термина аналогично формированию термина «плавниковый» полевой транзистор – FinFET), предназначенную для технологических норм с топологиями менее 3 нм. Архитектура Forksheet – это транзистор, у которого канал разделен / разветвлен на вертикальные наноленты, разделенные слоями вертикального диэлектрика, с одной стороны которого располагаются каналы n-типа, а с другой – p-типа, и все это окружено общим затвором в виде вертикального «плавника». Этот «плавник» чуть шире, чем у MBCFET. А что из себя представляет MBCFET (Multi Bridge Channel FET)? Это полевой транзистор с множественными мостиками канала, то есть транзистор, у которого канал разделяется на несколько расположенных друг над другом каналов в виде нанолентов, окруженных со всех сторон затвором. Другими словами, это горизонтально расположенные друг над другом каналы в виде нанолентов, а не вертикальные гребни, как в FinFET. Управление характеристиками MBCFET-транзистора осуществляется как за счет варьирования числа нанолентов, так и с помощью изменения их ширины. Тип транзистора определяется способом управления: с высокой производительностью (быстродействием) или с меньшей производительностью и малой потребляемой мощностью. Но, в отличие от прежних видов транзисторов, число типов (градаций уровней производительности / быстродействия) MBCFET-транзистора увеличивается с 2 до 5–7. MBCFET разработан совместно с исследователями корпораций IBM, Samsung и GlobalFoundries для 5-нм технологического процесса, но реально появится только в 3-нм кристаллах ИС Samsung.

По сравнению с нанослоевыми (нанолентовыми – nanosheet) приборами в новинке уменьшено расстояние

между каналами n- и p-типов, что приводит к увеличению производительности на 10%. В сочетании с дополнительными средствами масштабирования новая приборная архитектура позволит снизить стандартную высоту ячейки до 4,3 уровней межсоединений (до 4,3 T (Tracks)). Это, совместно с оптимизацией шаблона ячейки, может привести к сокращению площади прибора более чем на 20%. Результаты работ IMEC позволяют оценить архитектуру с разделением канала как потенциальное решение, обеспечивающее дальнейшее масштабирование нанолитовых структур на топологии менее 3 нм.

Прибор с новой архитектурой был предложен IMEC как естественное расширение вертикально этажированных нанолитовых приборов с боковым расположением круговых (gate-all-around, GAA) затворов. В отличие от нанолитовых приборов с круговыми затворами, приборы на основе архитектуры с разделением канала управляются трехзатворной разветвленной структурой, реализованной путем введения диэлектрической стенки между p- и n-канальными МОП-транзисторами перед формированием структуры затвора. Эта стенка физически изолирует p-канавку затвора от n-канавки, позволяя существенно сократить расстояние между ними. Эту задачу ранее не удалось решить с помощью FinFET-структур или нанолитовых структур. Благодаря сокращению расстояния между каналами n- и p-типов

архитектура с разделением канала обладает возможностью дальнейшего масштабирования занимаемой прибором площади и увеличения производительности.

Впервые моделирование стандартной ячейки подтвердило высокий потенциал архитектуры с разделением канала с точки зрения отношения «потребляемая мощность/производительность/занимаемая площадь» (power-performance-area, PPA). Исследуемый прибор ориентирован на топологический уровень технологий IMEC около 2 нм, стандартную библиотеку ячеек 5 T, шаг подключенных затворов 42 нм, шаг металлических токопроводящих дорожек – 16 нм. Предлагаемая конструкция включает в себя дополнительные средства масштабирования, такие как заглубленные шины электропитания и контакты под круговую накрутку. По сравнению с нанолитовыми приборами достигается увеличение быстродействия до 10% (при постоянной потребляемой мощности) и снижение потребляемой мощности (при неизменном быстродействии) на 24%. Повышение производительности может быть частично объяснено уменьшением миллеровского эффекта, что является результатом меньшего перекрытия области затвора стока. В итоге, уменьшение ширины зоны раздела каналов n- и p-типов можно использовать для уменьшения высоты прибора (с 5 T до 4,3 T). Дальнейшая оптимизация структуры прибора предполагает уменьшение площади ячейки более чем на 20%. При моделировании

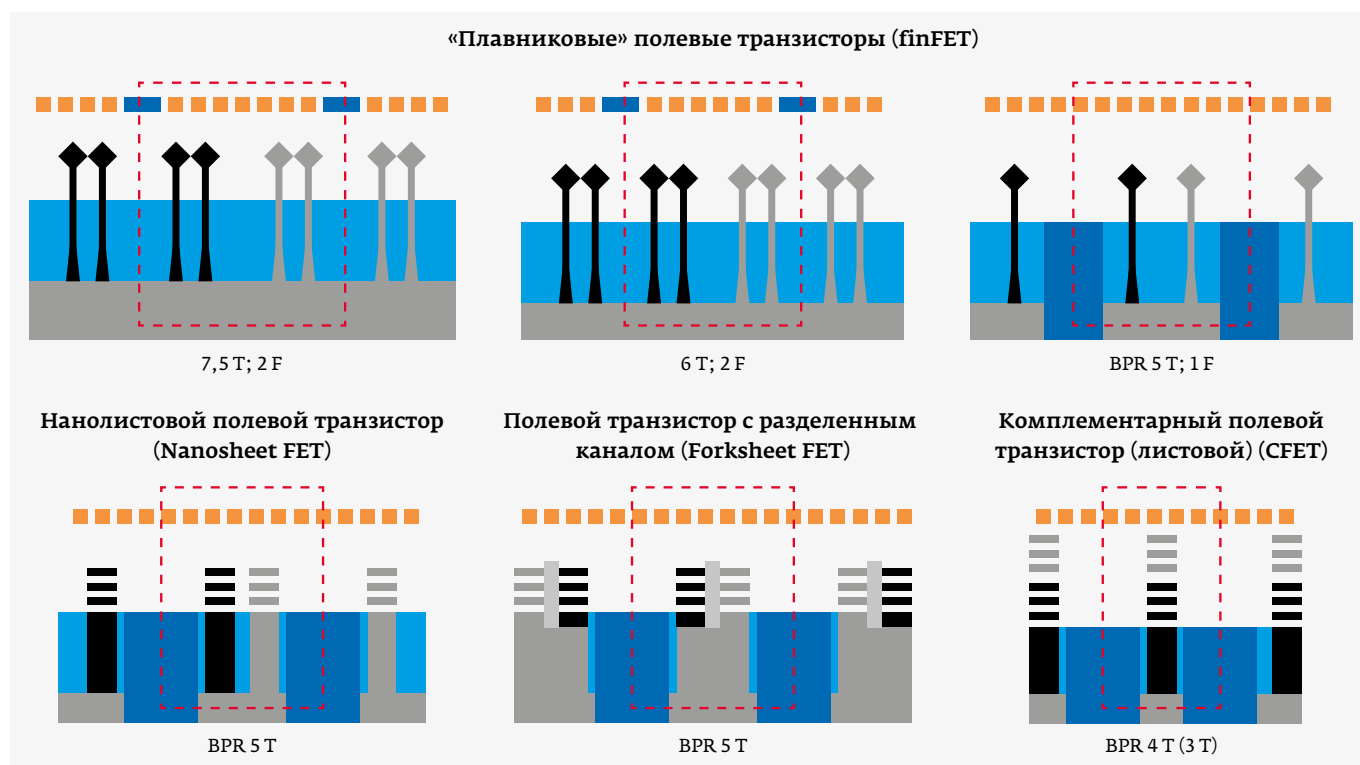


Рис. 1. Эволюция транзисторных структур



IX ВСЕРОССИЙСКАЯ НАУЧНО-ТЕХНИЧЕСКАЯ КОНФЕРЕНЦИЯ

«ЭМС»

21-22 МАЯ 2020

Сроки и место проведения:

21-22 мая 2020 года

Парк-отель «Свежий ветер»

Участие в конференции*:

Для участия необходимо направить заявку в Организационный комитет до 15.05.2020 г.

Организационный комитет:

Телефон/факс: (495) 657-87-37

E-mail: tp@test-expert.ru

* Участие в конференции платное. За подробной информацией о программе конференции, пожалуйста, обращайтесь в Организационный комитет.

К ОБСУЖДЕНИЮ ПРЕДЛАГАЮТСЯ СЛЕДУЮЩИЕ ВОПРОСЫ:

- Нормативно-правовое поле ЭМС, сравнение отечественных и зарубежных стандартов.
- Испытания бортовых сетей на ЭМС, их разработка и защита с учетом требований ЭМС.
- Защита РЗА от электромагнитных воздействий.
- Восприимчивость устройств к преднамеренным ЭМП (испытания).
- Разработка устройств с учетом требований ЭМС.
- Объектовая и межобъектовая ЭМС.
- Прогнозирование и расчет электромагнитной обстановки (математические расчеты, моделирование).
- Экранирующие, поглощающие и отражающие материалы.
- Экранирование корпусов, кабельных линий и соединителей.
- Проблемы организации испытательных лабораторий.
- Испытательное оборудование для ЭМС.
- Метрологическое обеспечение испытаний в области ЭМС.



реализации новой архитектуры в конструкции СОЗУ демонстрируется сочетание сокращения площади ячеек и увеличение производительности на 30% при ширине раздела каналов р- и п-типов, равной 8 нм [2].

РАЗРАБОТКА НОВЫХ КЛАССОВ 2,5D- И 3D-МОДУЛЕЙ И МЕТОДИК КОРПУСИРОВАНИЯ

Ведущие корпорации полупроводниковой промышленности, стартапы и научно-исследовательские учреждения, пытаясь расширить преимущества гетерогенной интеграции, ищут новые подходы, направленные на снижение затрат и повышение эффективности. В частности, идет конкуренция в сфере создания новых классов 2,5D- и 3D-модулей и методик корпусирования на основе различных технологий межсоединений следующего поколения. Подобные проекты пока находятся на стадии НИОКР, и, несмотря на их перспективность, разработчикам еще предстоит решить ряд технических и экономических проблем. Наибольшую активность в этой области демонстрируют корпорации Intel, TSMC и другие игроки.

Ряд корпораций, активно конкурирующих друг с другом, ведут разработку новых классов 2,5D- и 3D-модулей, при этом основное внимание уделяется технологиям межсоединений следующего поколения. Перспективные модули разрабатываются на одной из новых схем межсоединений – гибридного соединения «медь – медь». Технология дает возможность объединять в блок дополнительные кристаллы с использованием медных соединений на уровне ИС, включая новые типы 3D-ИС, чиплеты и «кубики» гибридной памяти*. Однако их проектирование порождает новые технические и экономические проблемы.

В чем дело? В некоторых случаях для новейших технологических уровней, характеризующихся малыми топологическими нормами, традиционные конструкции СнК оказываются слишком громоздкими и дорогими. Специалисты полупроводниковой промышленности пытаются разработать новые альтернативные приборы, применяя самые различные подходы. Новые 2,5D/3D-модули производятся в том числе и с использованием хорошо известных схем межсоединений, которые связывают кристаллы ИС друг с другом или

с дискретными приборами в качестве промежуточных устройств (интерпозеров, 2,5D-интеграция). Во многих из создаваемых модулей кристаллы ИС объединяются в блоки при помощи микростолбиковых и столбиковых выводов. Такие подходы обеспечивают создание компактных решений при малой потребляемой мощности.

Современные решения, в которых используются микростолбиковые выводы, отличаются миниатюрностью – шаг элементов составляет 40 мкм. Ширина самих выводов – 25 мкм, расстояние между ними составляет 15 мкм. Дальнейшее развитие технологий может привести к тому, что шаг микростолбиковых выводов сократится до 20 мкм, но для этого потребуются разработка новых подходов. Из существующих сегодня вариантов гибридное соединение «медь – медь» считается наиболее перспективным. При блочном соединении кристаллов методом диффузионного монтажа «медь-к-меди» микростолбиковые выводы не нужны.

В настоящее время ряд исследовательских организаций и промышленных фирм планирует перейти к прямому или гибриднему монтажу кристаллов, поскольку это позволит достичь шага сначала 20, а потом и 10 мкм.

Медное гибридное соединение нельзя назвать принципиально новым решением. В течение многих лет эта технология использовалась при создании КМОП-датчиков изображения. Однако ее перенос на технологии этажирования ИС (например, этажирования различных типов ИС ЗУ на логические приборы) – трудная задача, включающая в себя сложные процессы на уровне массово-поточного производства. И хотя первые продукты могут появиться к 2021 году или даже раньше, окончательные сроки реализации остаются неопределенными.

Тем не менее можно отметить несколько «прорывных» событий:

- Imec, Intel, Leti, Samsung, TSMC и ряд других организаций работают над технологиями медных гибридных соединений будущих перспективных модулей;
- корпорация Xperi разработала новую версию гибридной технологии межсоединений (на данную технологию предоставляются лицензии) (рис. 2);
- на стадии НИОКР находится технология гибридного монтажа для создания новых типов трехмерных ДОЗУ;
- ряд фирм разрабатывает новые «кубики» (типовые элементы) гибридной памяти с высокой пропускной способностью (high-bandwidth memory cubes, HBM);
- много исследований в сфере НИОКР проводится по новым конструкциям 2,5D- и 3D-ИС, а также

* **HMC (hybrid memory cube)** – кубик (типовой элемент) гибридной памяти – технология, объединяющая в одном блоке (модуле) процессы памяти и логики. Применение TSV обеспечивает трехмерное этажирование слоев памяти для увеличения производительности и снижения потребляемой мощности. Наличие логического слоя позволяет создавать различные конфигурации для масштабирования пропускной способности и обеспечения гибкости конструкций HMC.

ОБНОВЛЕННАЯ СЕРИЯ УСТАНОВОК ЭЛЕКТРОННО-ЛУЧЕВОГО НАПЫЛЕНИЯ ТОНКИХ ПЛЕНОК В СВЕРХВЫСОКОМ ВАКУУМЕ В ГЕОМЕТРИИ «LIFT-OFF»



Максимальный размер обрабатываемых
подложек – Ø200 мм или 150x150 мм
для стеклянных и керамических пластин

Возможность оптимизации расхода
материала за счет изменения расстояния
«испаритель-подложка» в пределах 350÷500 мм

STE EB71

Стандартное исполнение

STE EB71M

Исполнение с опцией резистивного
испарения в шлюзовой камере



ЗАО «НТО»
пр. Энгельса, 27
Санкт-Петербург, 194156, Россия
Тел.: +7 812 601 06 05,
Факс: +7 812 313 54 29
sales@semiteq.ru

www.semiteq.ru

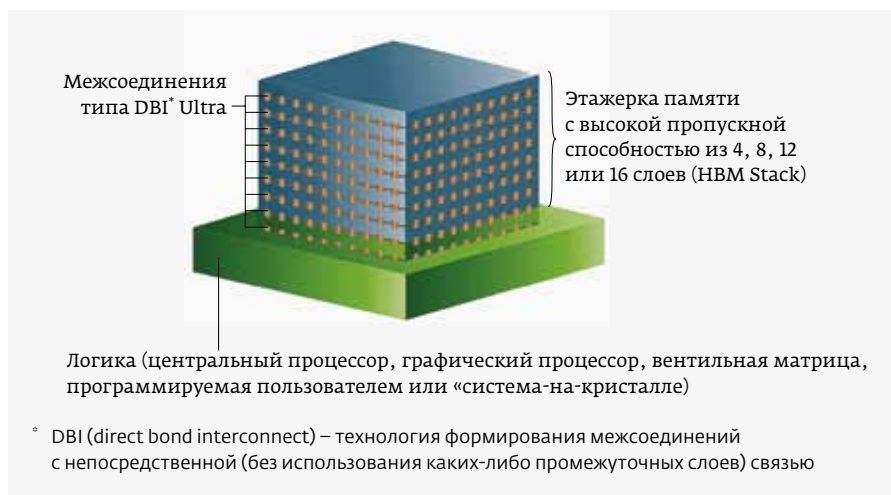


Рис. 2. 3D-интеграция с гибридным монтажом кристаллов

чиплетов, объединяющих блоки памяти с логическими приборами или логические приборы различного типа.

Что такое гибридное соединение?

Как бы то ни было, полупроводниковая промышленность требует новых решений в области топологий 20 мкм и менее. Одно из решений – формирование соединений вида «медь – медь». Идея состоит в подключении приборов непосредственно с использованием медных соединений с мелким шагом, а не микростолбиковых соединений и других структур.

Существует несколько вариантов подхода, таких как термокомпрессионное соединение «медь – медь» и гибридное соединение «медь – медь». Недавно специалисты международной компании Kulicke & Soffa и Калифорнийского университета в Лос-Анджелесе продемонстрировали технологию непосредственного соединения медных элементов с шагом ≤ 10 нм. Кроме того, исследователи работают над проблемой, как уменьшить окисление меди. Идея состоит в том, чтобы сформировать медные столбиковые выводы на поверхности двух пластин, которые затем будут скреплены с помощью термокомпрессионной сварки. Работы находятся в стадии НИОКР, но, по оценкам специалистов, непременно будут продолжены.

Гибридное соединение медных слоев друг с другом имеет большие перспективы. Корпорации Intel, TSMC и ряд других активно исследуют 2,5D- и 3D-технологии изготовления ИС по этой методике. Так, TSMC недавно представила подробную информацию о своих 3D-технологиях следующего поколения – «системах-на-интегрированных-кристаллах» (System on Integrated Chips, SoIC, СНИК) для 3D-гетерогенной интеграции. Другие фирмы также разрабатывают собственные методики гибридных

соединений. Например, фирма Xperi недавно начала лицензирование подобной технологии.

В гибридных соединениях в рамках стандартного производственного процесса связываются как минимум две структуры на одной полупроводниковой пластине, что позволяет существенно снизить издержки. Правда, некоторые исследователи используют «экзотические» материалы, такие как нанопасты и наночастицы.

Несколько лет назад Sony приобрела лицензию на использование в своих датчиках изображения технологии гибридного соединения Xperi. Установленные в современ-

ных смартфонах датчики изображения Sony состоят из элементов с шагом 6 мкм.

Теперь специалисты полупроводниковой промышленности пытаются создать гибридные методы соединения новейших схем памяти и кристаллов логических ИС. Цель состоит в том, чтобы разработать более совершенные приборы 2,5D / 3D.

Здесь возникает ряд проблем. Так, достижение хорошего соединения медных слоев во многом зависит от точного контроля топологии после этапа химико-механической полировки. При чрезмерной полировке выемка меди оказывается слишком большой, и есть риск недостаточного соединения элементов во время гибридного процесса. С другой стороны, при недостаточной полировке остатки меди могут создавать электрические помехи. Еще более сложными оказываются операции формирования множественных слоев или стеков кристаллов – неоднородности каждого слоя после соединения влияют на характеристики следующего слоя. Поэтому требования к допускам и однородности возрастают.

Между тем корпорация Xperi разработала новую версию гибридной технологии соединения, предназначенную для этажирования кристаллов ИС на пластину высотой до 40 мкм с шагом 1,6 мкм. Изначально технология Xperi предназначена для нового класса 3D-памяти, которая выйдет на рынок в ближайшие два-три года. Например, в данный момент идут разработки 3D-ДОЗУ. Для формирования HBM (гибридной памяти с высокой пропускной способностью) 16 кристаллов ДОЗУ можно будет объединять при помощи тончайших медных межсоединений. При этом будет обеспечено снижение шага элементов. Правда, при формировании каждого слоя придется использовать технологию TSV. Еще одно применение – 2,5D- и 3D-ИС



ИНТЕЛЛЕКТ. КАЧЕСТВО.

АО «МИКРОВОЛНОВЫЕ СИСТЕМЫ»
Москва, Щелковское шоссе, д.5, стр.1
Тел. (499) 644-21-03, (499) 644-25-62
(многоканальный)
Факс +7(499) 644-19-70
E-mail: mwsystems@mwsystems.ru
www.mwsystems.ru

- СОВРЕМЕННОЕ ПРОИЗВОДСТВО И ТЕХНОЛОГИИ
- ОПТИМАЛЬНОЕ СООТНОШЕНИЕ ЦЕНА/КАЧЕСТВО
- ПОЛНЫЙ СПЕКТР УСЛУГ ПО ПРОЕКТИРОВАНИЮ И ПРОИЗВОДСТВУ МОНОЛИТНЫХ И ГИБРИДНЫХ ИНТЕГРАЛЬНЫХ СХЕМ, ТВЕРДОТЕЛЬНЫХ МОДУЛЕЙ, МНОГОФУНКЦИОНАЛЬНЫХ СВЧ-УСТРОЙСТВ И БЛОКОВ РЭА (0,3 - 22 ГГц)

АКЦИОНЕРНОЕ ОБЩЕСТВО «МИКРОВОЛНОВЫЕ СИСТЕМЫ»



и чиплеты, где необходимы большие объемы памяти и логики.

Очевидно, что при всей сложности процесса гибридного соединения эта технология будет востребована в полупроводниковой промышленности – масштабирование ИС замедляется и становится слишком дорогим, поэтому отрасль нуждается в новых подходах [3].

ПЕРСПЕКТИВЫ РАЗВИТИЯ ЧИПЛЕТОВ

Чиплет-модель получает все большее распространение как одна из альтернатив разработке монолитных конструкций специализированных ИС (ASIC), которые становятся все более сложными и дорогостоящими на каждом новом технологическом уровне (по мере масштабирования топологических норм). Вокруг этой модели происходит объединение нескольких корпораций (включая AMD, Intel и TSMC) и отраслевых групп. Кроме того, исследования по данной тематике ведутся в рамках одной из новых инициатив Министерства обороны США. Цель подобных усилий – сократить время и стоимость вывода на рынок новых конструкций ASIC за счет интеграции в модуль предварительно разработанных и протестированных чиплетов. Проблема заключается в отсутствии стандартов и запутанности существующих вариантов, включая некоторые проприетарные (патентованные) подходы.

В рамках чиплет-модели производитель ИС обладает набором модульных кристаллов, или чиплетов, в виде библиотеки. Эти чиплеты могут обладать различными функциями, а также быть реализованы по различным уровням топологических норм технологического процесса. Однако поскольку они являются частями модуля или системы, а не сформированы на одном кристалле, заказчики могут смешивать и подгонять чиплеты и использованием схемы межкристалльных межсоединений. Другими словами, чиплеты – это еще одна форма гетерогенной интеграции, обеспечивающей получение преимуществ масштабирования за счет объединения в модуль с расширенными возможностями разнородных кристаллов [4].

По сути, чиплеты берут некоторые из основных функциональных компонентов СМК и перемещают их в модуль. Этот подход также может быть использован для переноса некоторой функциональности, обычно размещаемой на печатной плате, ближе к основной логике. Один из подобных подходов недавно продемонстрировал Институт интегральных схем общества Фраунгофера (ФРГ) (рис. 3) [5].

Чиплеты не новы – в течение многих лет эта идея активно обсуждалась, создавались конкретные изделия. Однако в 2019 году несколько крупнейших корпораций, включая AMD, Intel и TSMC, придали ее развитию новый

импульс, создав процессоры и /или технологии, основанные на этой концепции.

Не все конструкции и конечные применения требуют и будут требовать применения чиплетов. На рынке будут в обозримом будущем доминировать традиционные подходы к корпусированию. Но в отдельных секторах наблюдается быстрый рост сообщений о разработках с использованием чиплетов. Например, корпорация Intel намерена вывести подобную продукцию на рынок в конце 2020 года, а корпорация AMD уже поставляет изделия с использованием чиплетов на органической подложке.

К последним разработкам в этой области можно отнести:

- ряд фирм, включая AMD, Intel, TSMC и т. д., уже представили или планируют представить новые конструкции ИС и технологии на основе чиплетов;
- Министерство обороны США приступило к реализации новой программы, являющейся продолжением деятельности Управления перспективного планирования оборонных научно-исследовательских работ (DARPA) по чиплетам. В ее рамках МО будет не только продолжать разрабатывать чиплеты, но и создаст коммерческую организацию для предоставления правительственным ведомствам решений с использованием чиплетов;
- микроэлектронная промышленность надеется разработать для чиплетов стандарт на межкристалльные межсоединения/интерфейсы, но это произойдет не скоро. Появляются новые интерфейсные технологии, в том числе производная от памяти с высокой пропускной способностью (high-bandwidth memory, HBM), получившая название OpenHBI (high-bandwidth interface).

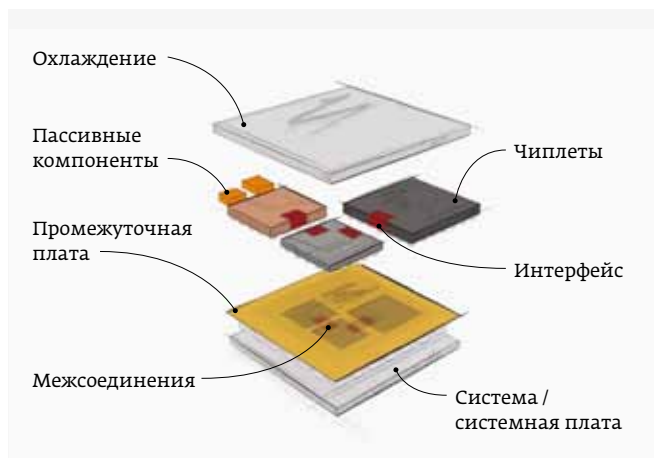


Рис. 3. Архитектура модуля с использованием чиплетов

Несколько фирм уже разработали многокристальные конструкции с использованием чиплетов, но разработка этих продуктов сопряжена с некоторыми трудностями. Во-первых, на рынке сейчас нет единого стандартного решения по межкристальным межсоединениям или интерфейсам – существует, по меньшей мере, две технологии межкристального интерфейса чиплетов – перспективная интерфейсная шина (Advanced Interface Bus, AIB) корпорации Intel и схема CEI-112G-XSR (Extra Short Reach), утвержденная «Форумом по взаимодействию оптических сетей» (Optical Internetworking Forum, OIF). Кроме того, подгруппа по «Открытой проблемно-ориентированной архитектуре» (Open Domain-Specific Architecture, ODSA), входящая в отраслевую организацию Open Compute Project (OCP), разработала еще два интерфейса – «Пучок проводов» (Bunch of Wires, BoW) и «Открытый интерфейс с высокой пропускной способностью» (OpenHBI). Существует также ряд корпоративных решений. У каждой из этих технологий есть свои достоинства, но пока неясно, будет ли отрасль объединяться вокруг какого-либо одного стандарта.

На этом проблемы с чиплетами не заканчиваются. Не решены проблемы процессов сборки и тестирования, вопросы поддержки инструментальных средств проектирования и увеличения выхода годных – а это одни из самых сложных задач при освоении чиплетов.

Стратегия годного кристалла

По мере увеличения числа интегрируемых кристаллов одной из самых больших проблем становится стратегия годного кристалла. На интерпозере размещаются кристаллы с необходимой функциональностью, затем формируются этажерка интерпозеров и соединения между ними. Как убедиться, что эти этажерки действительно пригодны? При тестировании этажерки отказ может произойти из-за одного конкретного слоя, то есть годность кристалла становится крайне критичным фактором.

Чиплеты также требуют продуманной стратегии управления технологическим процессом, в противном случае выход годных будет снижаться. Независимо от того, идет ли речь о модульных чиплетах, собранных в модуль с межкристальными межсоединениями, или об интеграции нескольких кристаллов в перспективный модуль, решающее значение для обеспечения производительности имеет наличие контрольно-метрологических процессов.

Тестирование также является одной из ключевых операций. В гетерогенных интегрированных системах воздействие снижения составного выхода годных из-за одного чиплета порождает новые императивы производительности тестирования на уровне пластины в плане сложности и зоны охвата тестирования. С точки зрения

тестирования, превращение чиплета в одну из основных технологий зависит от обеспечения получения «годного кристалла» при небольших затратах на тестирование. Тестирование на уровне пластин имеет важную и сложную роль в процессе изготовления чиплета. Возьмем случай с HBM. Здесь тестирование обеспечивает раннее выявление дефектных кристаллов ДОЗУ и логики до дорогостоящего и сложного этапа этажирования. Последующее тестирование этажированной пластины гарантирует полную функциональность этажерок перед разрезанием пластины на отдельные сборки. Соответственно, для обеспечения гетерогенной интеграции в массовом производстве необходима стратегия тестирования, позволяющая сбалансировать издержки на тестирование и потери, связанные с необнаруженным снижением выхода годных.

Чиплеты МО США

Первые чиплеты военного назначения и модель их использования появились в 2015 году, когда корпорация Marvell представила архитектуру модульного кристалла (MOMdular CHip, MoChi) с интерфейсной шиной Kandou. С тех пор несколько фирм разрабатывают приборы на основе чиплетов, в которых заинтересовано оборонное сообщество США.

В 2017 году DARPA приступила к реализации собственной программы по разработке чиплетов, получившей название «Объединенная стратегия гетерогенной интеграции и повторного использования СФ-блоков» (Common Heterogeneous Integration and IP Reuse Strategies, CHIPS). Целью этой программы, реализация которой продолжается и сейчас, является создание стандартов и новой экосистемы. В данной программе принимают участие такие корпорации, как Boeing, Cadence, Intel, Lockheed, Micron, Northrop Grumman, Synopsys, и другие. Корпорация Intel предоставила для реализации программы лицензию на использование своей перспективной интерфейсной шины AIB.

МО США заинтересовано в чиплетах по нескольким причинам. Оно уже давно признало, что микроэлектронные технологии необходимы для обеспечения военного превосходства США. Оборонное сообщество требует создания перспективных ИС, но объемы заказов на них, как правило, невелики. Таким образом, оборонное сообщество имеет мало рычагов влияния на формирование производственных мощностей и цен продукции кремниевых заводов. Кроме того, самые современные ИС производятся кремниевыми заводами за пределами США. Таким образом, оборонное сообщество, используя неамериканские кремниевые заводы, предпочло бы закупать ИС внутреннего производства.

Для МО США становится все сложнее получать доступ к заказным новейшим ИС. Изготовление (с учетом

проектирования и малых объемов заказов) заказных специализированных ИС (ASIC) с использованием новейших технологических процессов (с минимальными топологиями) может стоить сотни миллионов долларов. Таким образом, чиплет-модель – это один из способов разработки архитектуры ИС по более низким ценам. Программа CHIPS, реализуемая DARPA, это научно-исследовательская программа, направленная на дальнейшую работу по доказательству реализуемости концепции гетерогенной интеграции и перспективных методов корпусирования на основе использования различных чиплетов, соответствующих прикладным требованиям Пентагона. Привлекательность подобного подхода заключается в возможности использования лучших современных гражданских технологий, таких как вентильные матрицы, программируемые пользователем (FPGA), процессоры и ИС искусственного интеллекта.

В конце прошлого года МО США начало реализацию новой программы, связанной с программой CHIPS, направленной на создание прототипов приборов, реализуемых на основе гетерогенной интеграции (SOTA Heterogeneous Integration Prototype, SHIP). Как и программа CHIPS, новая программа призвана создать стандарты интерфейсов чиплетов и обеспечить возможность сборки систем из модульных СФ-блоков. Программа SHIP будет использовать все наработки программы CHIPS, но будет больше ориентироваться на реальные возможности производить приборы в объемах, удовлетворяющих требованиям МО США.

В конечном счете, в рамках программы CHIP предполагается создать автономную коммерческую организацию, обеспечивающую правительственным ведомствам США доступ к чиплет-технологии. Идея заключается в создании производственного потенциала, к которому будут иметь непосредственный доступ подрядчики Пентагона, примерно таким же образом, как сейчас при разработке и производстве заказных ASIC на кремниевых заводах, но уже на национальной территории. Этот автономный орган будет также заниматься вопросами безопасности. Предполагается разработать нечто подобное существующим «Правилам международных перевозок вооружений США» (International Traffic in Arms Regulations, ITAR), касающихся, в частности, программ шифрования, а также создать защищенный производственный комплекс, где будет осуществляться сборка конечных изделий для конкретных применений на основе различных чиплетов в соответствии с уникальными требованиями МО США.

При этом программа SHIP не заменяет оборонному сообществу США американские и неамериканские кремниевые заводы – она дает ему еще один способ реализации перспективных проектов.

Гражданские чиплеты, стандарты

Активизируется использование чиплетов и на рынке приборов гражданского назначения. Например, в прошлом году корпорация Intel представила методику Foveros, позволяющую интегрировать СФ-блоки в 3D-подобные архитектуры. На этой основе Intel представила 3D-платформу центрального процессора (ЦП) под кодовым названием Lakefield, сочетающую в модуле 10-нм процессорное ядро с четырьмя 22-нм процессорными ядрами. В рамках своих программ НИОКР корпорация разрабатывает и другие изделия, включая графические процессоры (ГП). По мнению специалистов корпорации Intel, будущее за специализацией на уровне перспективных методик корпусирования и совместимых чиплетов, каждый из которых специализирован на исполнении конкретных функций, таких как энергообеспечение, память или определенные типы ускорителей, такие как ГП.

Между тем кремниевые заводы также используют различные стратегии. Например, TSMC работает над технологией СНИК (System on Integrated Chips), позволяющей интегрировать в одном модуле небольшие микросхемы с различными проектными нормами.

В СНИК используются перспективные методы этажирования кристаллов ИС, что позволяет клиентам разрабатывать 3D-подобные архитектуры. Методика этажирования осуществляется с помощью соединения пластин, при которой можно скреплять две пластины или прикреплять на пластину кристаллы ИС. Аналогичные технологии скрепления пластин, позволяющие создать новый класс ИС, осуществляют и другие разработчики, включая GlobalFoundries, UMC и т. д.

Например Leti (европейский центр исследований в области микроэлектроники – Electronics and Information Technology Laboratory) недавно представила технологию активного интерпозера (рис. 4), предназначенную для чиплет-конструкций. На интерпозере этажируются шесть чиплетов, содержащих в общей сложности 96 ядер. Каждый чиплет реализован по 28-нм технологии полностью обедненного «кремния-на-изоляторе» (FD-SOI). Разработчики Leti считают, что экосистемы на основе чиплетов будут быстро разворачиваться в высокопроизводительных вычислениях (HPC) и других сегментах рынка, таких как встраиваемые блоки HPC автомобильного и других применений.

Учитывая вышеизложенное, можно сказать, что полупроводниковая промышленность доказала пригодность чиплет-модели. Однако, как правило, современные изделия на основе чиплетов используют патентованные схемы межкристалльных интерфейсов / межсоединений. Крупные корпорации могут позволить себе разрабатывать архитектуру на основе собственных технологий. Но у большинства фирм нет времени или ресурсов, чтобы



**АО ИРКУТСКИЙ РЕЛЕЙНЫЙ ЗАВОД ПРЕДЛАГАЕТ
ОЗНАКОМИТЬСЯ С НОВЫМИ РАЗРАБОТКАМИ**



СОЕДИНИТЕЛИ РАДИОЧАСТОТНЫЕ СР-50 ФИМД.430421.002 ТУ

Тип присоединительного размера:
IX, вариант 1 и SMA в соответствии с ГОСТ РВ 51914-2002
Рабочий диапазон частот до 18 ГГц
Категория качества – «ВП»
Разработаны исполнения под следующие типы кабеля:
РК-50-1.5-22; РК-50-2-25; РК-50-3-28; РК-50-3-29;
SR-085; RG-405; 0,086"; 0,113"; 0,141".



ПЕРЕКЛЮЧАТЕЛЬ МПН-2 ФИМД 640121.002 ТУ

Освоение дополнительных опций:

- кронштейн для крепления на печатную плату
- «защищенная позиция» – одно или несколько положений переключателя защищено от случайного включения с помощью ступенчатого ограничителя (стопора).

**ЭЛЕКТРОМЕХАНИЧЕСКИЙ КОАКСИАЛЬНЫЙ ПЕРЕКЛЮЧАТЕЛЬ
типа ПСВЧ-2П2Н-N-1-28 ФИМД.460831.001 ТУ (ОКР «Луч»)**

Схема переключения:
2 положения, 2 направления (2П2Н/DPDT)
Диапазон частот 0,01–12,4 ГГц
РЧ соединитель: тип N



**ПЕРЕКЛЮЧАТЕЛЬ МАЛОГАБАРИТНЫЙ ПОВОРОТНЫЙ НИЗКОЧАСТОТНЫЙ
МПН-1М ФИМД 640121.001 ТУ**

Тип коммутации: с разрывом цепи.
Кол-во положений (П): 10 и 5
Кол-во направлений (Н): 1
Степень защиты: IP40 и IP47.
Максимальная нагрузка: 30В пост., пер. / 0,5А; 1,0А; 2,0А
Минимальная нагрузка: 1,5В пост. / 5мкА; 5мА.
Коммутируемая нагрузка в статическом положении
(без переключения): до 10А/30В постоянного тока.

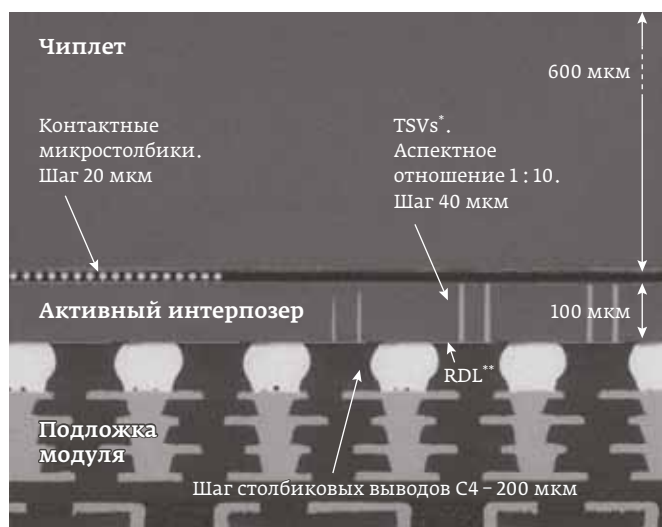


**МПН-3 ФИМД.640121.003 ТУ (в стадии разработки) –
МАЛОГАБАРИТНЫЙ ПОВОРОТНЫЙ НИЗКОЧАСТОТНЫЙ
ПЫЛЕВОДОНЕПРОНИЦАЕМЫЙ ПЕРЕКЛЮЧАТЕЛЬ**

с безобрывным переключением контактов имеет:

- 12 электрических схем коммутации
- 3 типа вала управления
- 4 варианта размера вылета вала от монтажной плоскости

Категория качества – «ВП» и «ОТК»



* **TSV (through-silicon via)** – технология TSV, одна из технологий 2,5D- и 3D-корпусирования, предполагающая формирование межсоединений сквозь подложку ИС и / или сквозь кремниевую пластину при этажерочном расположении кристаллов / ядер с целью экономии занимаемого пространства, снижения потребляемой мощности, увеличения производительности и скорости внутрисхемной связи.

** **RDL (Redistribution Layer)** – методика перераспределения слоев, процесс, вовлекающий в себя работу с одним-двумя слоями металлизации и двумя-тремя слоями полимерного диэлектрического материала, такого как полиимид или бензоциклобутен. Цель – изменения местоположения контактных площадок на кристалле ИС (для большего удобства монтажа на плату или в систему) в случаях, когда поставщикам конечных электронных систем не подходят имеющиеся на рынке или в их товарно-материальных запасах ИС, а заказ специализированных ИС не выгоден.

Рис. 4. Активный интерпозер Leti

пойти по этому пути, поэтому есть необходимость в открытых, готовых решениях.

Здесь на помощь приходят стандарты. Например, группа ODSA разрабатывает стандарт на открытые межкристальные интерфейсы / межсоединения для чиплетов. ODSA также работает над вопросами обмена данными по проектированию чиплетов. Теоретически все это позволило бы заказчикам свободно разрабатывать конструкции на основе чиплетов. Речь идет о создании механизма, с помощью которого можно создавать изделия путем смешивания и подбора чиплетов нескольких поставщиков. Сегодня это невозможно. По данным разработчиков OCP, почти все многочиплетные изделия являются продукцией одного поставщика.

К настоящему времени уже разработаны схемы межкристальных интерфейсов – AIB корпорации Intel и XSR, утвержденные OIF. Второй интерфейс ориентирован не только на чиплеты, но и на оптические устройства. Эти интерфейсы подходят не для всех

приложений. Соответственно ODSA разрабатывает два новых межкристальных интерфейса физического уровня BoW и OpenHBI. В прошлом году ODSA представила версию 0.7 спецификации BoW, в этом году должна появиться версия 0.9, которую разрабатывают фирмы Avera / Marvell, zGlue и ряд других участников.

Первым был разработан интерфейс BoW, максимально простой в проектировании, и в то же время удовлетворяющий требованиям по плотности расположения элементов, предъявляемых большим числом приложений. BoW – это параллельный межкристальный интерфейс, предназначенный для проектных норм от 28 до 5 нм. Он может использоваться в стандартных и перспективных методиках корпусирования, в том числе с применением недорогих органических подложек и интерпозеров. Цель разработки – интерфейс с пропускной способностью >100 Гбит/с/мм для всех вариантов корпусирования и >1 Тбит/с/мм для специализированных вариантов. При этом энергетический КПД <1 пДж/бит.

OpenHBI является чиплет-интерфейсом средней пропускной способности. Предложенный корпорацией Xilinx, OpenHBI использует спецификацию HBM физического уровня. Первоначальная технология, получившая название OpenHBI-2, основана на спецификации HBM2/2e-PHY. Скорость соединения OpenHBI-2 составляет 2,4–3,2 Гбит/с/3 мм при энергетическом КПД и устройств ввода-вывода 0,9 пДж/бит напряжении 1,2 В. Данная спецификация появится к концу текущего года. Следующая версия, OpenHBI-3, находится на этапе НИОКР [4].

Продолжение в следующем номере.

ЛИТЕРАТУРА

1. **LaPedus M.** Foundry Challenges In 2018 // Semiconductor Engineering. 2017. December 27th. <https://semiengineering.com/foundry-challenges-in-2018/>
2. IMEC presents forksheet device as the ultimate solution to push scaling towards the 2nm technology node. IMEC. 2019. December 9. <https://www.imec-int.com/en/articles/IMEC-presents-forksheet-device-as-the-ultimate-solution-to-push-scaling-towards-the-2nm-technology-node/>
3. **LaPedus M.** The Race To Next-Gen 2.5D/3D Packages. September 23, 2019. <https://semiengineering.com/the-race-to-next-gen-2-5d-3d-packages/>
4. **LaPedus M.** Chiplet Momentum Rising. Semiconductor Engineering, February 26th, 2020. <https://semiengineering.com/chiplet-momentum-rising/>
5. Ann Steffora Mutschler. 3nm: Blurring Lines Between SoCs, PCBs And Packages//Semiconductor Engineering. 2020. March 2nd. <https://semiengineering.com/blurring-lines-between-socs-pcbs-and-packages/>

Дорогие друзья! Поздравляем вас

С Днём Космонавтики!

От души желаем вам крепкого здоровья, мира, благополучия и удачи в покорении новых горизонтов!



БЕЗМАСОЧНАЯ ЛИТОГРАФИЯ

- Многоканальные лазерные генераторы изображений
- Проектная норма 0.35, 0.6 μm
- Высокая точность совмещения
- $\varnothing 200, 150, 100$ мм



ГЕНЕРАТОРЫ ИЗОБРАЖЕНИЙ

- Диапазон UV, DUV
- Проектная норма 90, 130 нм
- 16/32-лучевая архитектура
- Фазосдвигающие шаблоны
- Быстрая переналадка пластина — шаблон



КОНТРОЛЬ ФОТОШАБЛОНОВ

- Проектная норма 90, 130, 250 нм
- Твердотельный лазер
- Контроль методом D2DB, D2D
- Высокая производительность
- Контроль неплоскостности



РЕМОНТ ФОТОШАБЛОНОВ

- Фемтосекундный лазер
- 0.15/ 0.3/ 0.5 μm min элемент
- Размер шаблона до 9"x9"
- Ремонт копированием
- Ремонт через пелликл
- Прозрачные / непрозрачные дефекты



КОНТАКТНАЯ ЛИТОГРАФИЯ

- Ручная и автоматизированная загрузка
- Двусторонняя литография
- Высокая точность совмещения
- Низкий уровень генерации дефектов
- Высокая энергоэффективность



СТЕППЕРЫ

- Проектная норма 0.35, 0.8 μm
- Автоматический масштаб
- Двустороннее совмещение
- $\varnothing 100, 150, 200$ мм
- Твердотельный источник света

КОНТРОЛЬ ТОПОЛОГИИ

- Контроль привносимых дефектов пластин без топологии
- Автоматический микро и макро контроль дефектов пластин с топологией
- Высокая производительность



АВТОМАТИЧЕСКИЙ КОНТРОЛЬ И ИЗМЕРЕНИЕ

- Контроль микроразмеров
- Контроль неплоскостности
- Контроль координат
- Контроль толщин
- Контроль рассовмещения



ЗОНДОВЫЙ КОНТРОЛЬ

- $\varnothing 200, 150, 100$ мм
- $\pm 4\text{мкм}$ погрешность контактирования
- Ручное / полуавтоматическое / автоматическое оборудование



РАЗДЕЛЕНИЕ ПЛАСТИН И ПОДЛОЖЕК

- $\varnothing 300, 200, 150, 100$ мм
- 2 независимые зоны разделения в одной установке
- 2.4 кВт мощность электрошпинделя
- Полуавтоматическое / автоматическое оборудование



Создаем традиции будущего!

- Единое таможенное пространство
- 58 лет опыта в разработке и производстве прецизионного оптико-механического и сборочного оборудования
- Высокий уровень применяемых технологий и современного оборудования
- Полный цикл разработки и производства
- Высококвалифицированный персонал
- Высокое качество изделий подтверждено национальными и международными стандартами
- Возможность комплексной поставки оборудования, адаптированного для Российского рынка, программного обеспечения для поддержки процессов изготовления фотошаблонов и 3D-моделирования для фотолитографии компании GeniSys (Германия)



Республика Беларусь
220033, г. Минск
Партизанский пр-т, 2

тел: (+375 17) 226 09 82
(+375 17) 223 22 26
факс: (+375 17) 226 12 05

office@kbtem-omo.by
kbtem.omo@gmail.com
www.planar.by

