

Применение Altera DSP Builder системы Matlab / Simulink для разработки имитационной модели КИХ-фильтра на параллельной распределенной арифметике

А. Строгонов, д. т. н.¹

УДК 004.4 | ВАК 05.13.12

Пакет расширения Altera DSP Builder системы визуально-имитационного моделирования Matlab / Simulink позволяет быстро создать имитационную модель сложного цифрового устройства, такого как КИХ-фильтр, на последовательной и параллельной распределенной арифметике с извлечением VHDL-кода. Преимущества последовательной и параллельной распределенной арифметики, реализованной в проекте на базе ПЛИС, заключаются в сокращении используемых ресурсов и повышении быстродействия. Рассмотрим пример разработки КИХ-фильтра на параллельной распределенной арифметике с использованием методологии объектно-ориентированного проектирования ЦОС-устройств с применением Altera DSP Builder системы Matlab / Simulink, сравним его характеристики с фильтром, реализованным на ЦОС-блоках с помощью мегафункции FIR II системы Quartus Prime.

Реализация КИХ-фильтров на параллельной распределенной арифметике позволяет достичь рекордного быстродействия для ПЛИС за счет использования «безумножительных» схем умножения. При этом быстродействие не снижается по мере увеличения числа отводов и коэффициентов фильтра, а также точности представления входных данных. Это актуально для проектов на базе бюджетных серий ПЛИС (особенно отечественных производителей), в которых отсутствуют аппаратные умножители или их количество ограничено, но в них представлено большое количество логических ресурсов или блочной памяти.

Такой подход позволяет также отказаться от применения при разработке КИХ-фильтров различных мегафункций, использующих аппаратные умножители, встроенные в ЦОС-блоки ПЛИС (ALTMULT_ADD, ALTMULT_ACCUM), например в САПР Quartus II, или мегаядер FIR Compiler либо FIR II (в Quartus Prime).

В частности, в ПЛИС российского производства серии 5576 нет встроенных умножителей, а ПЛИС серии 5578 содержат от 14 до 66 умножителей с размерностью операндов 18×18 . На практике требуются КИХ-фильтры с крутым

спадом АЧХ, что приводит к увеличению числа отводов до 110 и более.

ПЛИС Intel серии Cyclone 10GX типа 10CX2202019 года выпуска содержат 192 ЦОС-блока с переменной точностью, количество встроенных умножителей с размерностью операндов 18×19 – 384 (или 192 для размерности 27×27), с аппаратной поддержкой формата с плавающей запятой. ПЛИС СнК Intel серии Stratix типа 10DX 2019 года выпуска содержат уже 11520 умножителей с размерностью операндов 18×19 .

Примеры применения распределенной арифметики содержатся во всех руководствах пользователя зарубежных ПЛИС. В частности, инструмент System Generator для разработки и отладки ЦОС-систем в базе ПЛИС Xilinx содержит функциональный блок FIR Compiler v5.0 – аналог функции FIR Compiler v5.0 генератора параметризованных ядер XLogiCORE IP [1]. В справочной

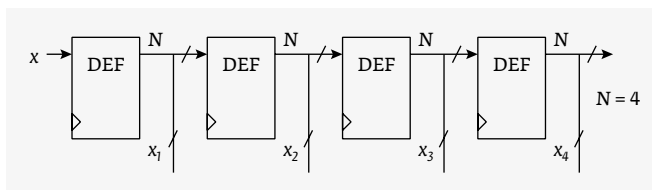


Рис. 1. Линия задержки КИХ-фильтра на регистрах

¹ Воронежский государственный технический университет, профессор кафедры полупроводниковой электроники и нанoeлектроники, тел. +7 4732 43-76-95, andreistrogonov@mail.ru.

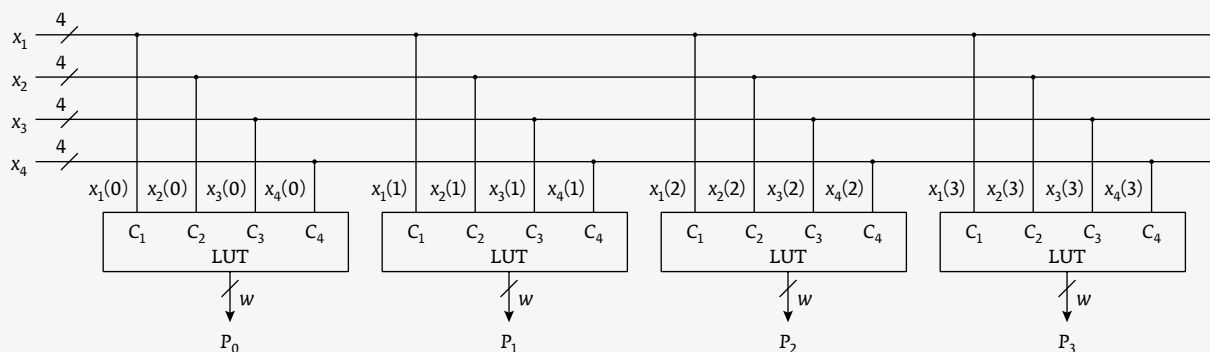


Рис. 2. Принцип подключения выходов линии задержки КИХ-фильтра на четыре отвода к 4-входовым LUT

системе пакета расширения Altera DSP Builder также можно найти примеры КИХ-фильтров на основе последовательной распределенной арифметики (по адресу: quartus\dsp_builder\DesignExamples\Demos\Filters\DA32).

Однако поскольку в современных ПЛИС содержится огромное число ЦОС-блоков, в новых версиях САПР, например от компаний Xilinx или Intel (Quartus Prime), и пакетах расширения системы Matlab/Simulink предпочтение отдается систолическим и обратнотранспонированным структурам КИХ-фильтров с использованием MAC-блоков. Чаще других применяется транспонированная

схема, позволяющая эффективно распараллелить вычисления. Например, в САПР ПЛИС Xilinx ISE14.4 функция FIR Compiler v6.3, входящая в состав генератора параметризованных ядер XLogiCORE IP, поддерживает такие структуры фильтров. Они получили название «транспонированные структуры, основанные на операциях умножения и накопления» (Transpose Multiply-Accumulate Architecture).

Инструмент System Generator от Xilinx подходит для разработки последовательных КИХ-фильтров в формате с фиксированной запятой с использованием параметризованных функциональных блоков n-tap MAC FIR Filter и n-tap Dual Port Memory MAC FIR Filter. В функциональных блоках FIR Compiler версии v6.x и старше поддержка распределенной арифметики не предусмотрена.

Покажем, что КИХ-фильтры на основе параллельной распределенной арифметики демонстрируют наивысшее быстродействие. Для этого рассмотрим пример разработки КИХ-фильтра на параллельной распределенной арифметике с использованием методологии объектно-ориентированного проектирования цифровых устройств обработки сигналов с применением пакета расширения Altera DSP Builder версии 12.1 системы визуально-имитационного моделирования Matlab/Simulink (версия 8.0.0.783 (R2012b)). Из модели извлечем VHDL-код

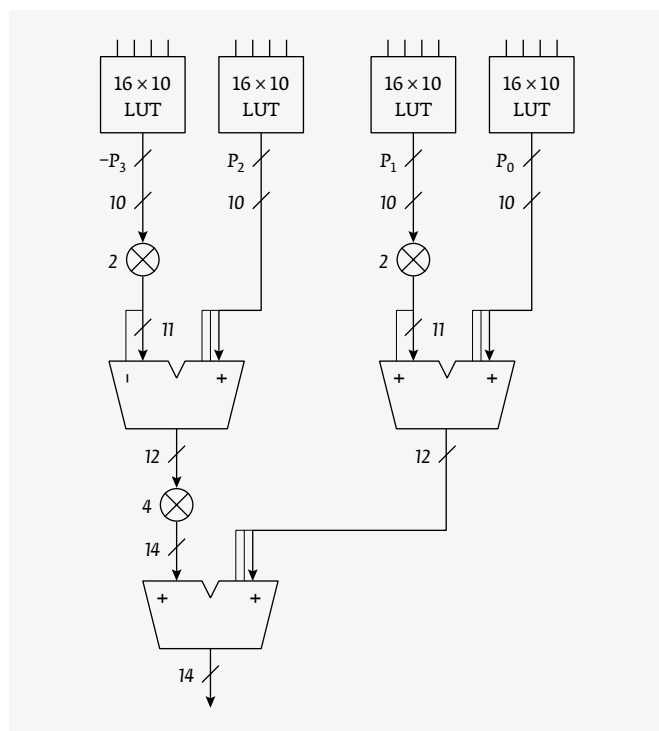


Рис. 3. Структура КИХ-фильтра на четыре отвода, четыре бита на распределенной параллельной арифметике

ООО
СМП

ИНТЕРНЕТ-МАГАЗИН
www.SMD.ru

электронные компоненты
для поверхностного монтажа

НОВОЕ В ПРОГРАММЕ ПОСТАВОК

- Разборные металлические EMI SMD экраны
- Кварцевые генераторы 0532 на частоты до 125 МГц

Москва, Ленинградский пр., 80 к. 32, e-mail: sale@smd.ru
 Тел.: (499) 158-7396, (495) 940-6244, (499) 943-8780

и реализуем проект в САПР Quartus II ver.13.0 (сборка 156). Для этого используем ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8, содержащую 56480 адаптивных логических модулей (АЛМ). Сравним быстродействие фильтра при его реализации в ПЛИС серии Cyclone V на ЦОС-блоках с помощью мегафункции FIR II САПР Quartus Prime v.15.0.0 (сборка 145).

Уравнение КИХ-фильтра (нерекурсивного цифрового фильтра с конечно-импульсной характеристикой) представляется как арифметическая сумма произведений [1, 2]:

$$y = \sum_{k=1}^K C_k \cdot x_k, \quad (1)$$

где y – отклик цепи; x_k – k -я входная переменная (сигнал, подлежащий фильтрации); C_k – весовой коэффициент k -й входной переменной (постоянный для всех n); K – число отводов фильтра. Для КИХ-фильтра на четыре отвода уравнение фильтрации будет выглядеть следующим образом: $y = C_1x_1 + C_2x_2 + C_3x_3 + C_4x_4$. Предположим, что коэффициенты фильтра – целочисленные со знаком и равны: $C_1 = -2$, $C_2 = -1$, $C_3 = 7$ и $C_4 = 6$.

В случае параллельной распределенной арифметики уравнение для КИХ-фильтра на четыре отвода (разрядность 4 бита) записывается в виде [1, 2]:

$$P_{out} = 2^0 \cdot P_0 + 2^1 \cdot P_1 + 2^2 \cdot P_2 - 2^3 \cdot P_3, \quad (2)$$

где частичные произведения P_0 , P_1 , P_2 и P_3 равны:

$$P_0 = C_1x_1(0) + C_2x_2(0) + C_3x_3(0) + C_4x_4(0) = \sum_{n=1}^4 C_n x_n(0); \quad (3)$$

$$P_1 = C_1x_1(1) + C_2x_2(1) + C_3x_3(1) + C_4x_4(1) = \sum_{n=1}^4 C_n x_n(1); \quad (4)$$

$$P_2 = C_1x_1(2) + C_2x_2(2) + C_3x_3(2) + C_4x_4(2) = \sum_{n=1}^4 C_n x_n(2); \quad (5)$$

$$P_3 = C_1x_1(3) + C_2x_2(3) + C_3x_3(3) + C_4x_4(3) = \sum_{n=1}^4 C_n x_n(3). \quad (6)$$

При реализации КИХ-фильтра на базе параллельной распределенной арифметики на четыре отвода необходимы четыре идентичных массива памяти, параллельно адресуемых всеми битами всех входных переменных, и свертывающее иерархическое дерево многоарядных сумматоров, осуществляющих суммирование частичных произведений P_0 , P_1 , P_2 и P_3 . В данном случае результат формируется за один такт, тем самым достигается наибольшее быстродействие структуры.

На рис. 1 показана линия задержки КИХ-фильтра, на рис. 2 – принцип подключения выходов линии задержки КИХ-фильтра на четыре отвода к 4-входовым LUT. Разрядность входной шины данных $N=4$. Входные данные на линии задержки представлены с 4-битной точностью параллельным кодом.

На рис. 3 представлена структура КИХ-фильтра на четыре отвода, четыре бита на распределенной параллельной арифметике. Фильтр состоит из четырех однотипных 4-входовых LUT, используемых для формирования частичных произведений P_0 , P_1 , P_2 и P_3 и согласно формулам (2) – (6). «Минус» перед P_3 на рис. 3 означает перевод P_3 в дополнительный код. 4-входовая LUT обеспечивает 16 частичных произведений, представляющих собой комбинации сумм коэффициентов фильтра с 8-битной точностью плюс два бита. Таким образом, размерность 4-входовой LUT составляет 16×10 . Для суммирования значений с выходов LUT в соответствии с их весом и знаком используются два 12- и один 14-разрядный сумматоры с коррекцией разрядности на входах, чтобы исключить переполнение.

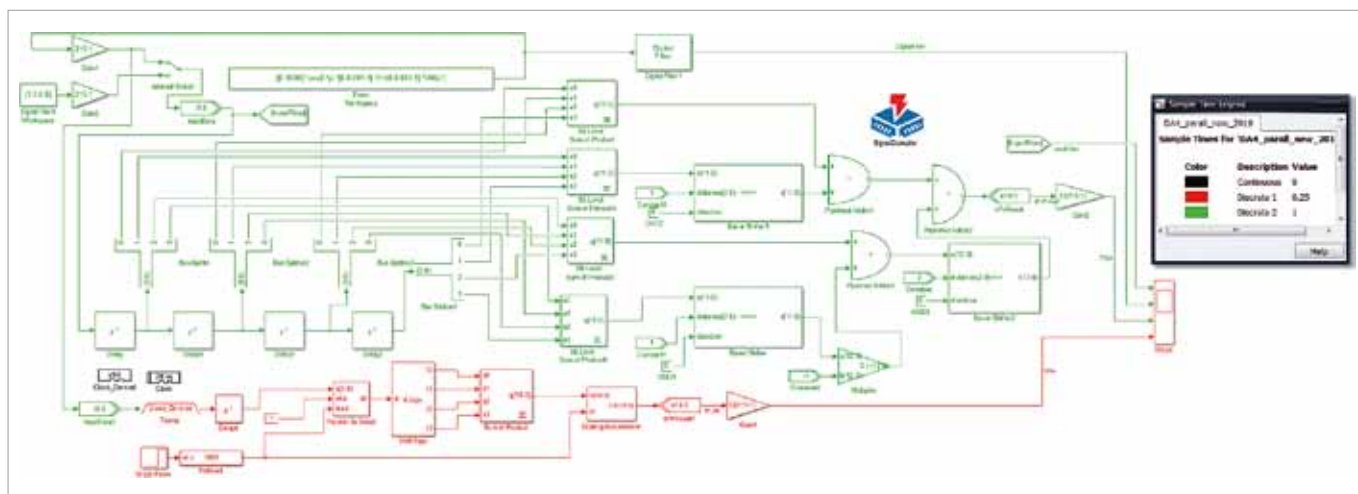


Рис. 4. Имитационные модели КИХ-фильтра на параллельной (обозначена зеленым цветом) и последовательной (обозначена красным цветом) распределенной арифметике для фильтрации ЛЧМ-сигнала

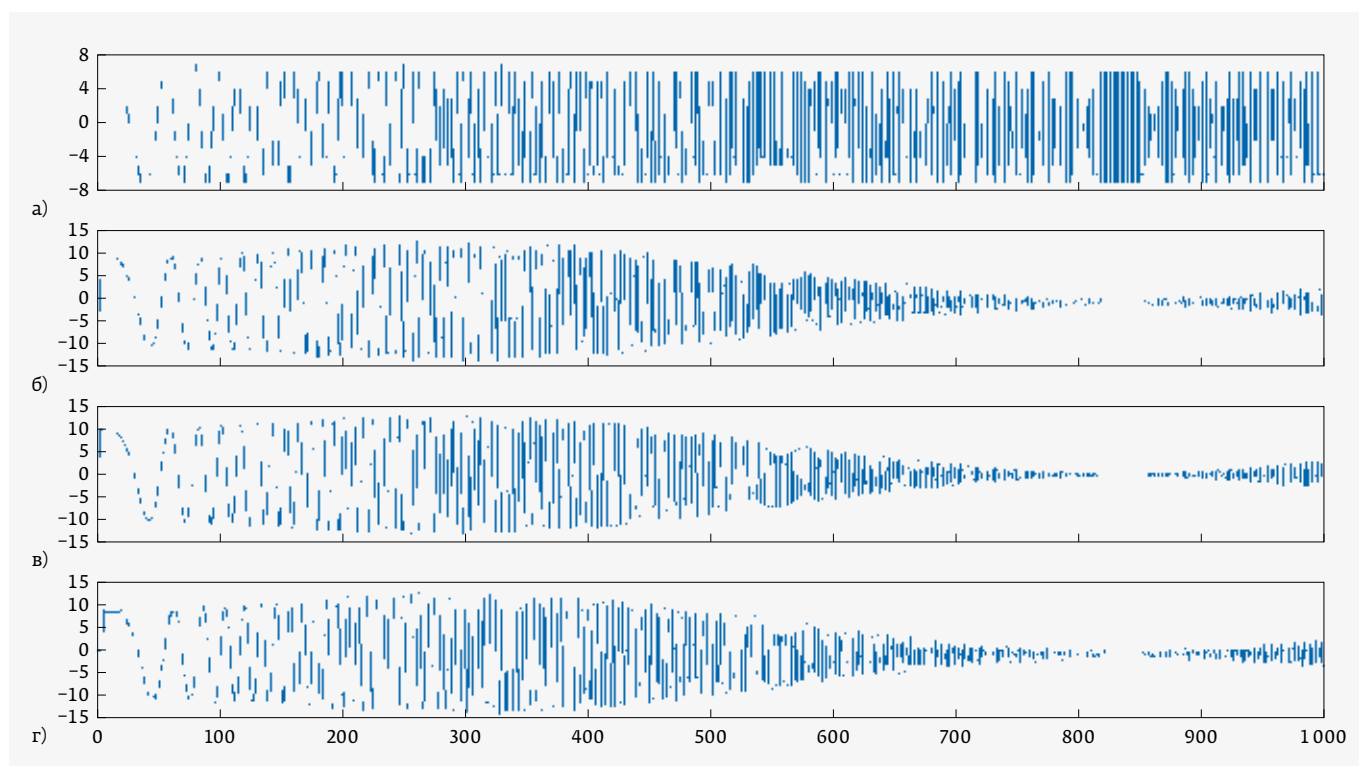


Рис. 5. Результаты имитационного моделирования фильтрации сигнала: а) ЛЧМ-сигнал; б) модель КИХ-фильтра на PDA; в) модель Digital Filter; г) модель КИХ-фильтра на SDA

На рис. 4 показаны разрабатываемая имитационная модель КИХ-фильтра на параллельной распределенной арифметике (обозначена зеленым цветом), построенная по схеме, приведенной на рис. 3, и модель КИХ-фильтра на последовательной распределенной арифметике (обозначена красным цветом) из [1].

Для краткости модель на основе параллельной арифметики назовем PDA, а на последовательной – SDA. Модели работают на разных скоростях. Для PDA-модели временной шаг симуляции в Matlab/Simulink установлен равным 1 с, а для SDA-модели – 0,25 с. Шаг симуляции для SDA-модели выбирается исходя из того, что отфильтрованные значения на выходе фильтра появляются через четыре такта синхроимпульса. За интервал дискретизации входного сигнала процесс вычисления КИХ-фильтрами на моделях PDA и SDA должен завершиться. Интервал дискретизации единичного сигнала (дельта-функция) и ЛЧМ-сигнала (sample time) равен 1 с, поэтому на схеме рис. 4 они также отмечены зеленым цветом.

Для корректной работы имитационной модели КИХ-фильтра на SDA необходимо использовать ФАПЧ для генерации дочернего синхросигнала. Для этого в модель добавлен блок Clock AlteraBlockset (Clock_Derived). В поле Base Clock Multiplicand Denominator функционального

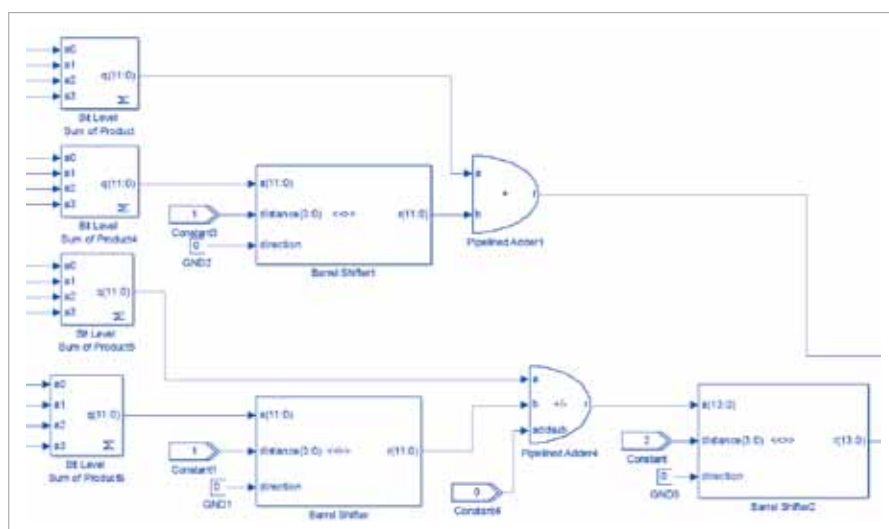


Рис. 6. Изменения в модели, позволяющие отказаться от использования умножителя для учета знака частичного произведения P_3 путем замены на сумматор/вычитатель

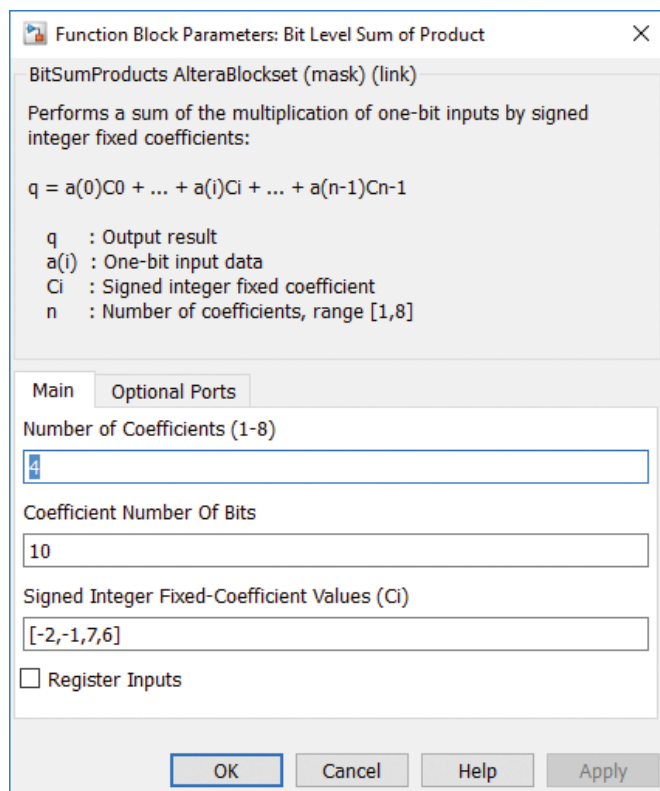


Рис. 7. Настройка содержимого LUT

блока Clock AlteraBlockset подставим значение 4. С помощью функционального блока Tsamp устанавливается частота в четыре раза больше, чем у модели PDA. Имя дочернего синхросигнала: Clock_Derived.

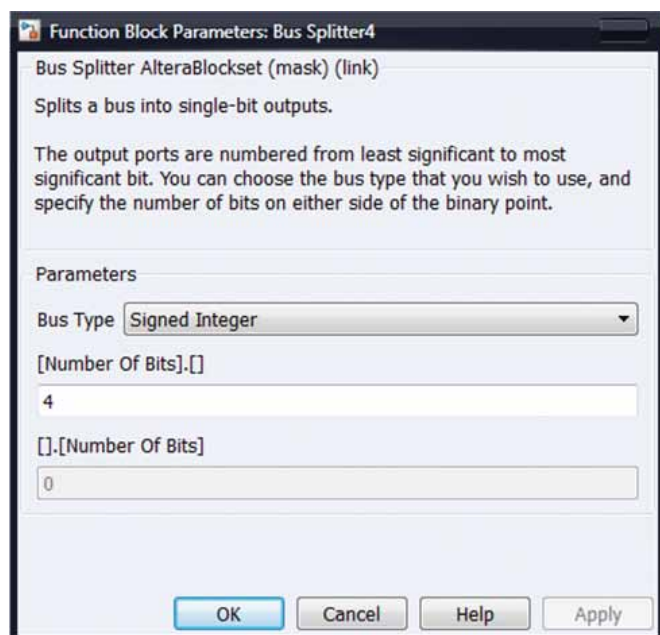
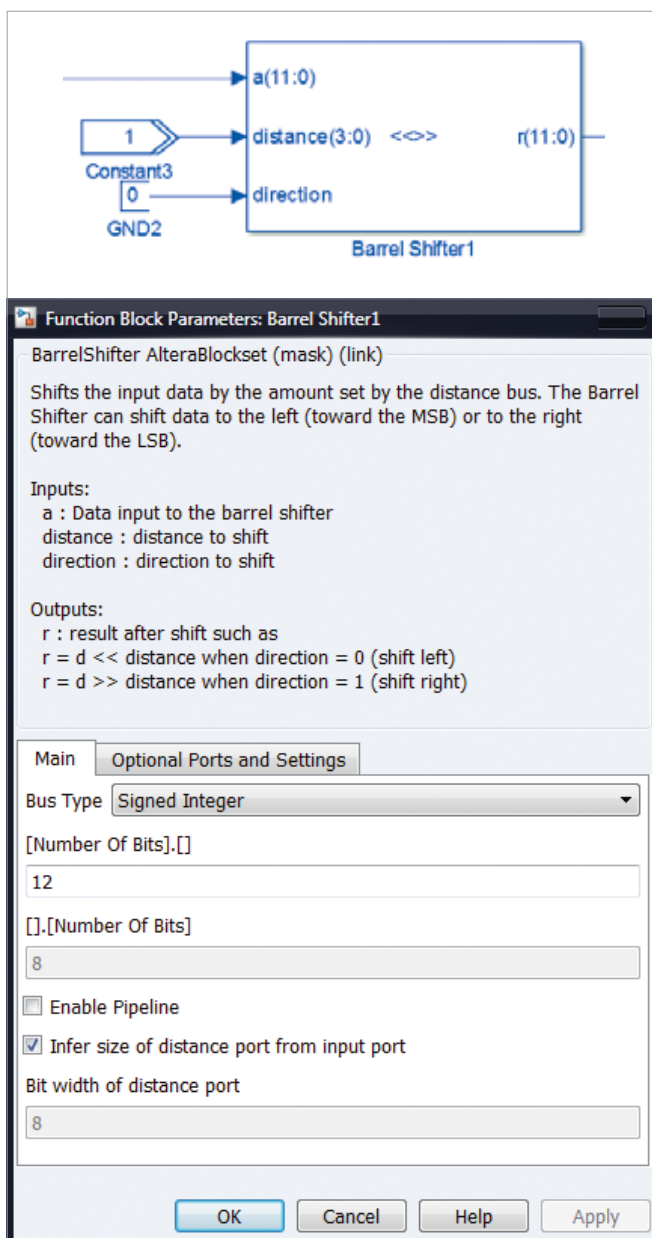


Рис. 8. Настройка шинного разделителя

Для проверки работы КИХ-фильтров на PDA и SDA, построенных с помощью пакета расширения Altera DSP Builder, дополнительно подключен функциональный блок Digital Filter (прямая форма) из библиотеки Simulink.

Входной сигнал умножается на масштабный множитель 7 (в системе Matlab: 2^3-1), отфильтрованный сигнал также делится на это значение. Масштабный множитель подбирался экспериментально, исходя из 4-разрядной точности представления входных отсчетов сигнала с учетом знака числа (в дополнительном коде 4-разрядное двоичное число перекрывает диапазон $-8...+7$).

Рис. 9. Функциональный блок Barrel Shifter, настроенный на сдвиг влево на один разряд 12-разрядного числа (дистанция $d=1$)



Разработка и производство конденсаторов

оксидно-электролитические алюминиевые конденсаторы
K50-15, K50-17, K50-27, K50-37, K50-68, K50-77, K50-80, K50-81, K50-83,
K50-84, K50-85, K50-86, K50-87, K50-88, K50-89, K50-90, K50-91,
K50-92, K50-93, K50-94, K50-95(чип), K50-96, K50-97(чип), K50-98

объемно-пористые танталовые конденсаторы
K52-1, K52-1М, K52-1БМ, K52-1Б, K52-9, K52-11,
K52-17, K52-18, K52-19, K52-20, K52-21, K52-24,
K52-26(чип), K52-27(чип), K52-28.

оксидно-полупроводниковые танталовые конденсаторы
K53-1А, K53-7, K53-65(чип), K53-66, K53-68(чип),
K53-69(чип), K53-71(чип), K53-72(чип),
K53-74(чип), K53-77(чип), K53-78(чип), K53-82

суперконденсаторы (ионисторы)
K58-26, K58-27

**накопители электрической энергии на основе
модульной сборки суперконденсаторов**

Система менеджмента качества сертифицирована на соответствие требованиям ISO 9001

Россия, 427968, Удмуртская Республика, г. Сарапул, ул. Калинина, 3
Тел.: (34147) 2-99-53, 2-99-89, 2-99-77, факс: (34147) 4-32-48, 4-27-53
e-mail: elecond-market@elcudm.ru, <http://www.elecond.ru>

Для модели КИХ-фильтра на PDA коэффициенты не масштабируются, а для КИХ-фильтра на SDA применяется специальная техника масштабирования, подробно рассмотренная в [3, 4].

Модель состоит из линии задержки на функциональных блоках Delay, служащих регистрами, блоков Bus Splitter, разделяющих 4-разрядные отводы фильтра на битовые значения, генераторов булевых функций (LUT), трех устройств сдвига данных Barrel Shifter влево на один (2 шт.) и на два разряда (что равносильно умножению на 2 и 4

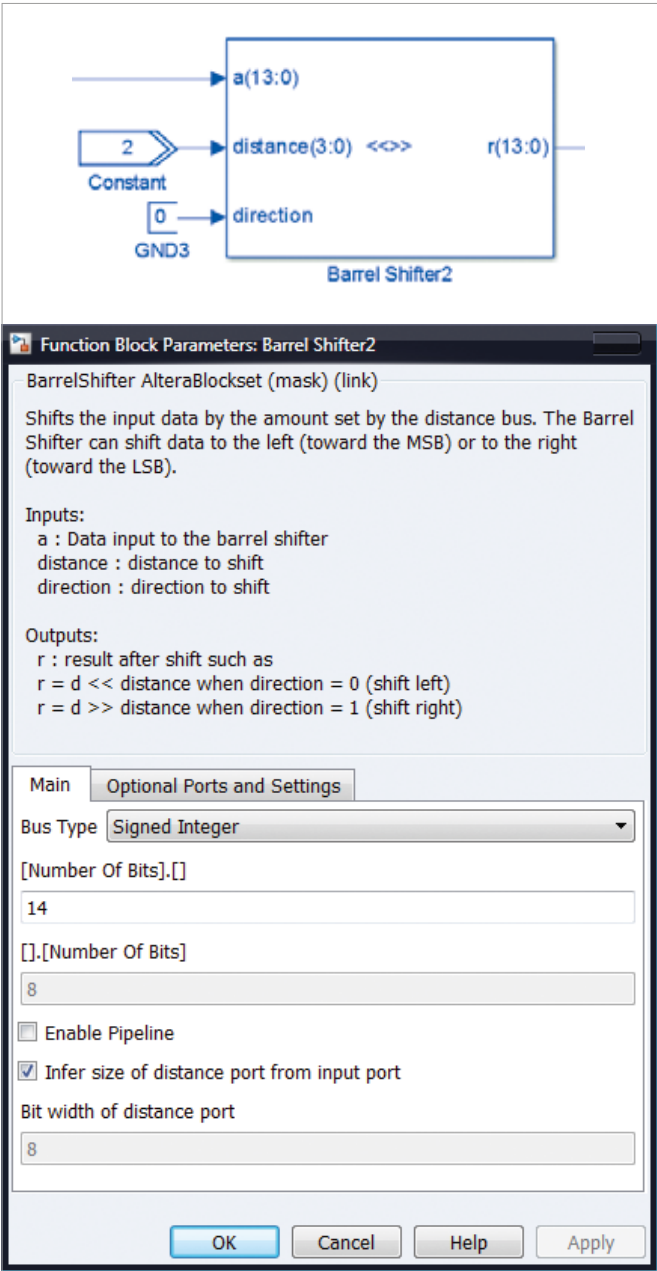


Рис. 10. Функциональный блок Barrel Shifter, настроенный на сдвиг влево на два разряда 14-разрядного числа (дистанция $d=2$)

Таблица 1. Оценка быстродействия КИХ-фильтра на четыре отвода, реализованного в базисе ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8 (временная модель slow 1100 mV 85C)

Оцениваемый параметр	КИХ-фильтр на SDA	КИХ-фильтр на PDA	КИХ-фильтр на ЦОС-блоках (мегаядро FIR II)
Максимальная рабочая частота, МГц	226,45	407,83	254,39
Рабочая частота в наихудшем случае, МГц	180,02	407,83	220,02

соответственно), а также умножителя для учета знака числа. На рис. 5 показаны результаты имитационного моделирования фильтрации сигнала: ЛЧМ-сигнал; модель КИХ-фильтра на PDA; модель Digital Filter из библиотеки Simulink; модель КИХ-фильтра на SDA. Совпадение результатов фильтрации подтверждает правильность работы имитационных моделей.

В дальнейшем от умножителя на константу -1 необходимо отказаться, так как при синтезе VHDL-кода будет использоваться умножитель ЦОС-блока. На рис. 6 показаны изменения в модели, которые необходимо внести, чтобы отказаться от применения умножителя для учета знака частичного произведения путем его замены на сумматор/вычитатель. Такая замена не влияет на логику работы устройства.

Битовые сигналы с выходов разделителей Bus Splitter подключены на основе правила: все младшие разряды всех четырех отводов подключены к 4-входовой LUT (Bit Level Sum of Product), формирующей частичное произведение P_0 ; все старшие разряды всех четырех отводов подключены к 4-входовой LUT, формирующей частичное произведение P_1 , и так далее, пока не сформируется частичное произведение P_3 .

Рассмотрим блок BaseClock. Для функционального моделирования в Altera-ModelSim задаются синхросигнал с периодом 20 нс (поле Real-World Clock Period) и временной шаг симуляции в Matlab/Simulink, равный 1 с (поле Simulink Sample Time).

На рис. 7 показано окно настройки содержимого LUT. Коэффициенты представлены с 10-разрядной точностью, а суммы коэффициентов с 12-разрядной. Для такого фильтра требуются четыре идентичные LUT.

Линия задержки проектируемого фильтра построена на регистрах из функциональных блоков Delay. Число уровней конвейеризации блока – один. На рис. 8 представлены



ГРУППА КОМПАНИЙ

ЭЛЕКТРОННОЕ СПЕЦИАЛЬНОЕ
ТЕХНОЛОГИЧЕСКОЕ ОБОРУДОВАНИЕ

Акционерное общество
«Научно-производственное предприятие
«Электронное специальное
технологическое оборудование»

124460, г. Москва, Зеленоград,
Георгиевский проспект, д.5, стр.1
тел.: (499) 729-7751, факс: (499) 479-1239
info@nppesto.ru www.nppesto.ru

СИСТЕМА GROOVY ICP –
ТЕХНОЛОГИЯ БУДУЩЕГО
Для критического травления
диэлектриков на основе уникального
узкоззорного индуктивного плазменного
реактора для массового производства

Разработка АО «НПП «ЭСТО» при финансовой
поддержке Министерства промышленности
и торговли Российской Федерации

МИНПРОМТОРГ
РОССИИ



Приглашаем посетить наш стенд на выставке «ElectronTechExpo 2020»,
которая пройдет с 11 по 13 августа в МВЦ «Крокус Экспо»



Оборудование для лазерной микрообработки:
резка, фрезерование, скрайбирование,
прошивка отверстий



Оборудование
для нанесения фоторезиста



Оборудование для измерения физических
и геометрических параметров



Сборочное оборудование

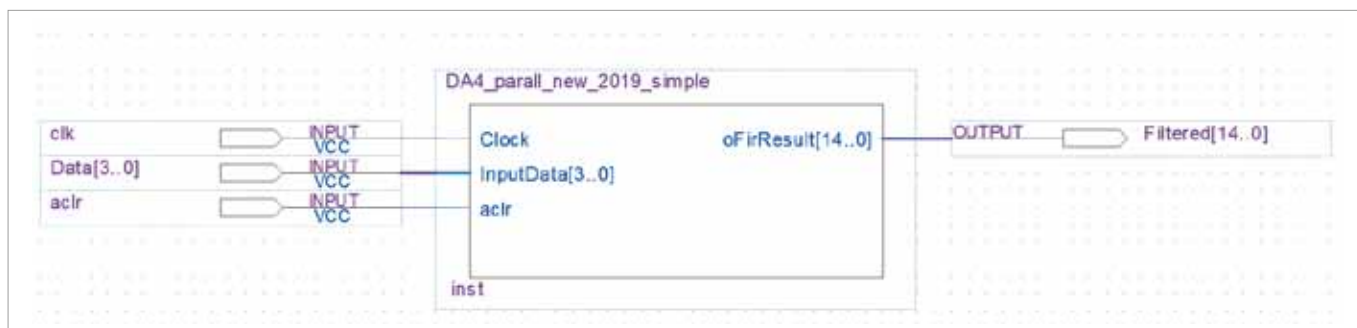


Рис. 11. Проект КИХ-фильтра, реализованный в САПР Quartus II по VHDL-коду, извлеченному в автоматическом режиме из имитационной модели

настройки функционального блока Bus Splitter (шинный разделитель), разделяющего 4-разрядную шину на биты. Таких блоков в модели четыре.

На рис. 9 показаны настройки 12-разрядного устройства сдвига данных влево на один разряд, что равносильно умножению на два. Направление сдвига определяется портом direction. Дистанция сдвига задается портом distance ($d = 1$). На рис. 10 представлены настройки 14-разрядного устройства сдвига влево на два разряда, что равносильно умножению на четыре. Суммирование результатов сдвига выполняет дерево сумматоров, показанное на рис. 4.

Из имитационной модели КИХ-фильтра на PDA (рис. 6) извлечем VHDL-код с помощью функционального блока SignalCompiler и реализуем проект в САПР Quartus II ver.13.0 (рис. 11).

На рис. 12 представлена оценка задействованных ресурсов на этапе анализа и синтеза в САПР при реализации проекта в базис ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8 (содержит 156 ЦОС-блоков). Для проекта КИХ-фильтра на PDA требуются 33 АЛМ, из них адаптивных LUT в режиме 4-входовых LUT – 16, в режиме меньше или равно 3 LUT – 43, выделенных регистров АЛМ – 16, ЦОС-блоков – 0. Архитектурное планирование кристалла ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8 показывает, что в проекте задействуются логические ресурсы (АЛМ) и блочная память типа M10K.

Разработаем проект в САПР Quartus Prime v.15.0 (рис. 13) с использованием мегаядра FIR II (altera_fir_compiler_ii), позволяющего быстро создавать КИХ-фильтры прямой формы с использованием

Analysis & Synthesis Resource Usage Summary		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	33
2		
3	Combinational ALUT usage for logic	59
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	16
5	-- <=3 input functions	43
4		
5	Dedicated logic registers	16
6		
7	I/O pins	21
8	Total DSP Blocks	0
9	Maximum fan-out node	clk~input
10	Maximum fan-out	16
11	Total fan-out	264
12	Average fan-out	2.26

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	22
2		
3	Combinational ALUT usage for logic	13
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	13
4		
5	Dedicated logic registers	43
6		
7	I/O pins	22
8		
9	Total DSP Blocks	2
10		
11	Maximum fan-out node	clk~input
12	Maximum fan-out	45
13	Total fan-out	228
14	Average fan-out	2.24

Рис. 12. Оценка задействованных ресурсов при реализации КИХ-фильтра на четыре отвода в базис ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8: слева – PDA в САПР Quartus II; справа – мегаядро FIR II САПР Quartus Prime

Для компаний, нацеленных на **ИННОВАЦИИ**

Компания Picosun является лидирующим поставщиком технологии AGILE ALD® (атомно-слоевое осаждение, ACO) для микроэлектроники и других областей промышленности.

Спектр оборудования PICOSUN® варьируется от полностью автоматизированного до совместимых с SEMI 300-мм промышленных систем ACO. Оборудование предназначено для проведения НИОКР и небольших пилотных производств с низкой стоимостью владения. Picosun предлагает системы «под ключ» для производств с использованием пластин до 200 мм и для обработки 3D-компонент.

Picosun предлагает лучшие в своем классе технологии осаждения тонких пленок для производства традиционных ИС, составных и силовых полупроводников, светодиодов, МЭМС, датчиков и 3D-компонент. К последним относятся медицинские приборы и имплантаты, сборки печатных плат, различные детали машин, часов, монеты и украшения.

Решения для нанесения покрытий от Picosun: превосходное качество процессов, гибкий и инновационный дизайн оборудования, различные уровни послепродажной поддержки и технического обслуживания.

www.picosun.ru



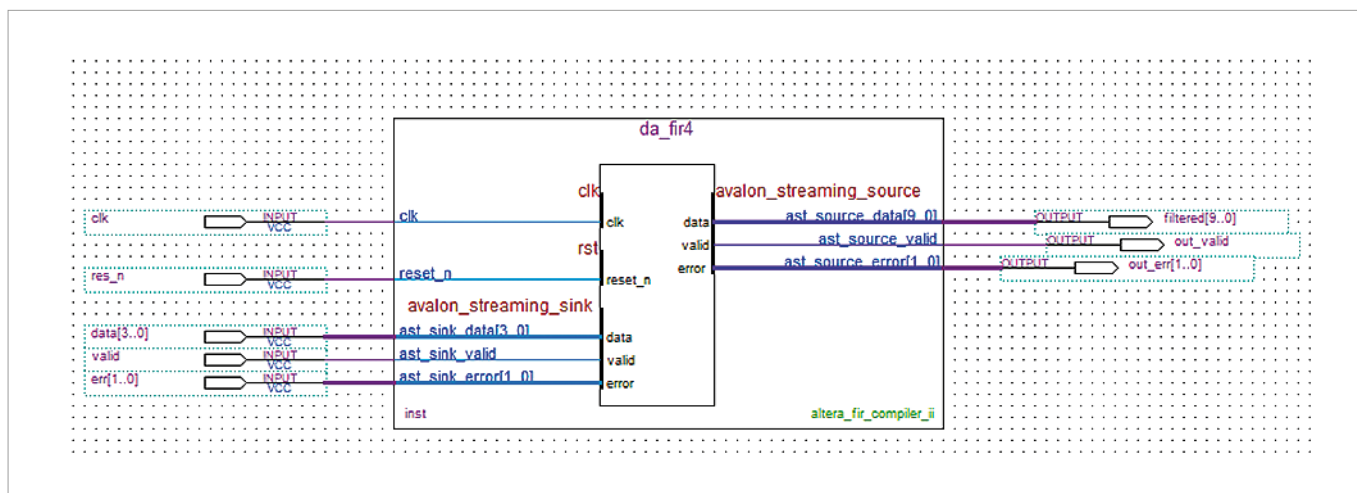


Рис. 13. Проект КИХ-фильтра с использованием мегаядра FIR II в САПР Quartus Prime v.15.0

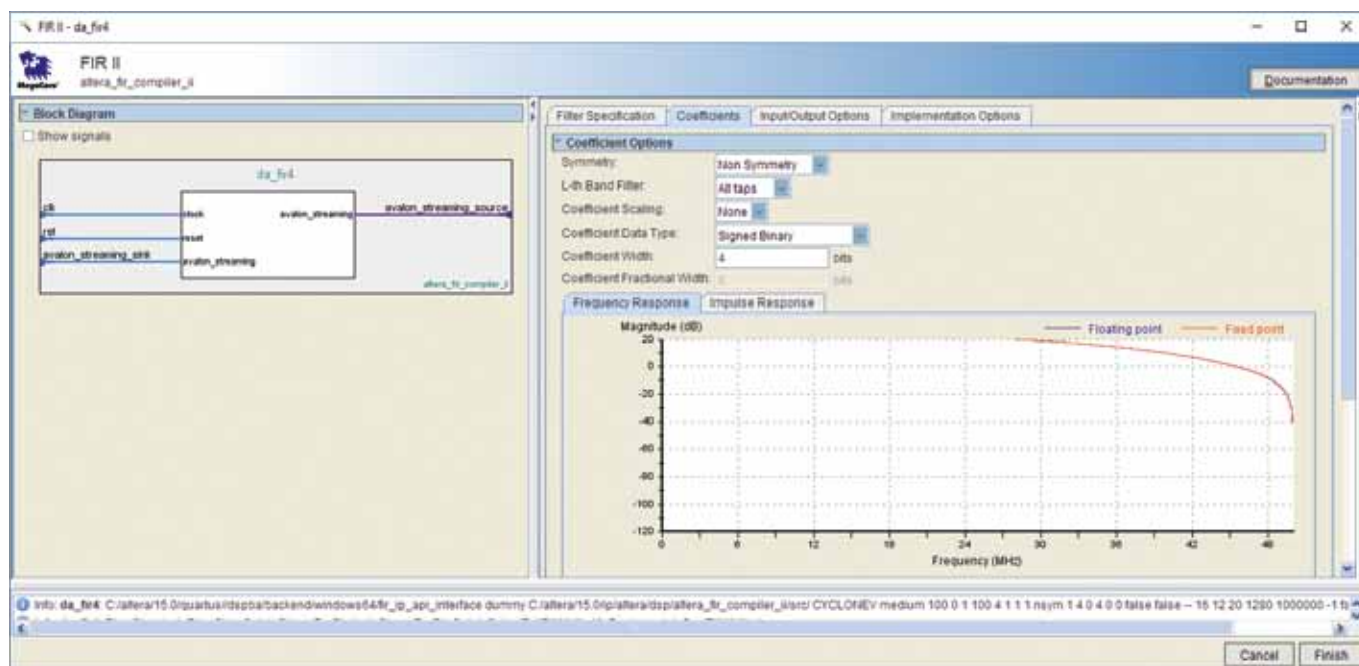


Рис. 14. Настройки мегаядра FIR II САПР Quartus Prime v.15.0 (АЧХ фильтра)

ООО СМП

ИНТЕРНЕТ-МАГАЗИН

www.SMD.ru

электронные компоненты для поверхностного монтажа

НОВОЕ В ПРОГРАММЕ ПОСТАВОК

- Катушки индуктивности на токи до 10 А
- U.FL разъемы и pigtail со SMA

Москва, Ленинградский пр., 80 к. 32; e-mail: sale@smd.ru
Тел.: (495) 158-7396, (495) 940-6244, (495) 943-8780

аппаратных умножителей в ЦОС-блоках. Коэффициенты фильтра -2 , -1 , 7 и 6 загрузим из предварительно созданного текстового файла в формате .txt. Реализуем проект в такой же ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8. На рис. 14 показаны настройки мегаядра FIR II САПР Quartus Prime v.15.0 (АЧХ фильтра, закладка «коэффициенты»). На рис. 15 показано архитектурное планирование кристалла ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8. Задействуются АЛМ и два ЦОС-блока (четыре умножителя).

Оценка ресурсов, задействованных на этапе анализа и синтеза при реализации проекта в базис ПЛИС

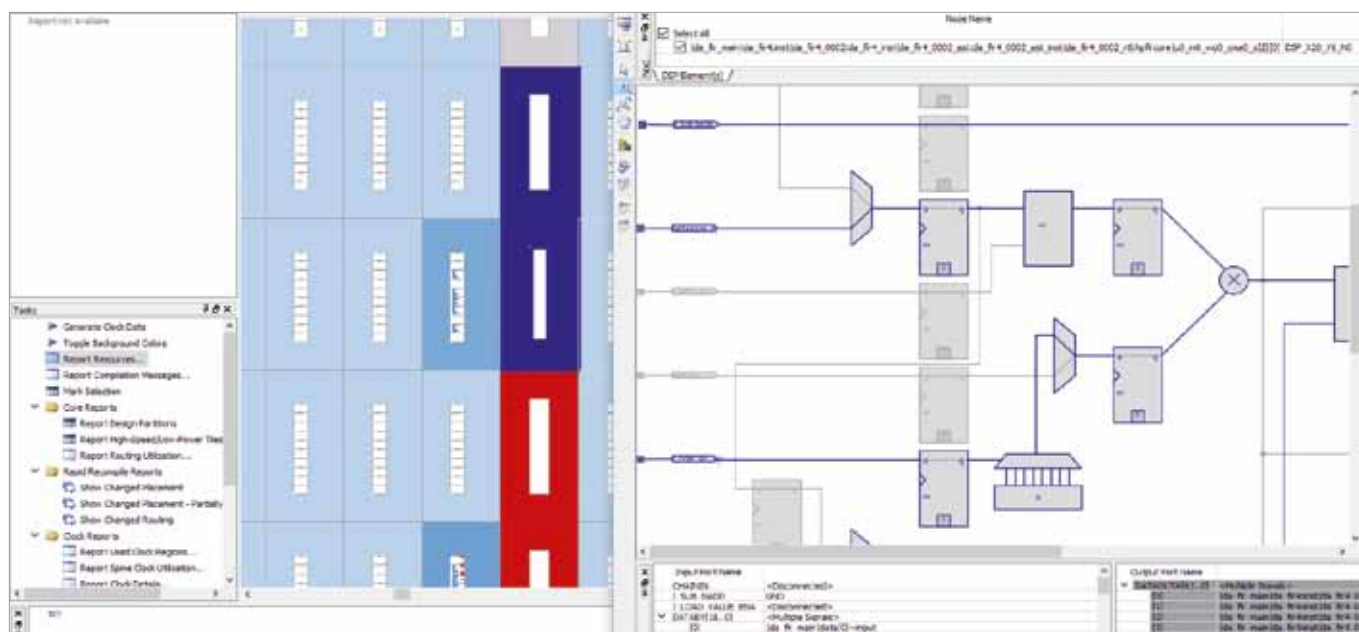


Рис. 15. Архитектурное планирование кристалла ПЛИС серии Cyclone V типа 5CGXFC7C7F23C8

серии Cyclone V типа 5CGXFC7C7F23C8 с использованием мегаядра FIR II, показывает, что для реализации проекта требуются 22 АЛМ, из них адаптивных LUT для комбинационной логики в режиме меньше или равно трем LUT – 13, выделенных регистров АЛМ для последовательностной логики – 43 и ЦОС-блоков – 2 (см. рис. 12).

В табл.1 приведена оценка максимальной рабочей частоты и рабочей частоты в наихудшем случае для функциональных моделей КИХ-фильтра на SDA, PDA и ЦОС-блоках (мегаядро FIR II) при использовании медленной временной модели в условиях критического напряжения питания ядра ПЛИС 1,1 В и температуры 85 °С (модель slow 1100 mV 85C), полученных с помощью TimeQuest. Анализ представленных в таблице данных показывает, что возможен двукратный выигрыш по быстродействию в случае использования КИХ-фильтра на PDA.

ЛИТЕРАТУРА

1. Реализация алгоритмов цифровой обработки сигналов в базе программируемых логических интегральных схем: Учебное пособие / 4-е изд., испр. и доп. – СПб: Изд-во «Лань», 2019. 352 с.
2. **Строгонов А., Быстрицкий А.** КИХ-фильтр на распределенной арифметике: проектируем сами // Компоненты и технологии. 2013. № 3. С. 131–138.
3. **Строгонов А., Городков П.** Проектирование цифровых устройств обработки сигналов в системе визуального имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder // Компоненты и технологии. 2018. № 12. С. 22–27.
4. **Строгонов А., Городков П.** Проектирование КИХ-фильтра на распределенной арифметике в системе визуального имитационного моделирования Matlab/Simulink с использованием Altera DSP Builder // Компоненты и технологии. 2019. № 2. С. 88–94.

ООО «АК Микротех»

Комплексные решения в области микроэлектронного и микросборочного производства
Поставка, наладка и ремонт технологического оборудования
Отработка и постановка технологических процессов
Обеспечение материалами и комплектующими

WWW.AKMICROTECH.RU +7 (499) 398 0770 SALES@AKMICROTECH.RU





ПАТРОНАЖ ТПП РФ

21-23

СЕНТЯБРЯ 2020

САНКТ-ПЕТЕРБУРГ

КВЦ «ЭКСПОФОРУМ»

Radel

XX МЕЖДУНАРОДНАЯ ВЫСТАВКА РАДИОЭЛЕКТРОНИКА & ПРИБОРОСТРОЕНИЕ

- ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ И КОМПЛЕКТУЮЩИЕ
- ПЕЧАТНЫЕ ПЛАТЫ И ДРУГИЕ НОСИТЕЛИ СХЕМ
- СВЕТОДИОДНЫЕ ТЕХНОЛОГИИ
- РАЗРАБОТКА И ПРОИЗВОДСТВО ЭЛЕКТРОННЫХ УСТРОЙСТВ
- РОБОТОТЕХНИКА
- КОНСТРУКТИВЫ
- МАТЕРИАЛЫ
- ТЕХНОЛОГИИ
- ПРОМЫШЛЕННОЕ ОБОРУДОВАНИЕ И ИНСТРУМЕНТЫ
- КОНТРОЛЬНО-ИЗМЕРИТЕЛЬНЫЕ ПРИБОРЫ И ЛАБОРАТОРНОЕ ОБОРУДОВАНИЕ



radelexpo.ru (812) 777-04-07

ОРГАНИЗАТОР ВЫСТАВКИ:

