

Решения Synopsys для различных направлений: что нового?

Е. Иванова¹

Мир не стоит на месте. Несмотря ни на какие обстоятельства. Сейчас мы все переживаем непростые времена, которые очень многое расставили по своим местам, изменили наши приоритеты. 2020 год «зацепил» электронную отрасль не так сильно, как другие; компания Synopsys, ставя на первое место здоровье и безопасность сотрудников, смогла быстро адаптироваться к удаленной работе там, где это было возможно.

В то же время наши заказчики также продолжают работать и готовить новые проекты, сроки сдачи которых нельзя сдвигать, а если и можно, то только минимально. У российских заказчиков, как и у нас самих, случилась лишь небольшая заминка для настройки удаленной работы, после чего они продолжили работу в полном объеме.

В силу того, что пока мы не можем проводить семинары и симпозиумы как раньше, очно, в приятной обстановке, мы организуем вебинары и публикуем статьи в журналах, чтобы рассказать нашим уважаемым заказчикам о том, что еще мы для них создали. В этой статье мы коснемся ряда решений Synopsys для разных направлений и расскажем о некоторых достижениях и планах компании.

ЦИФРОВОЕ ПРОЕКТИРОВАНИЕ

Исторически вплоть до настоящего времени применялся поэтапный маршрут проектирования: сначала выполнялся логический синтез RTL до списка цепей (netlist), который затем передавался топологам для разработки физического представления. Эти этапы выполнялись с использованием разных баз данных, различных входных параметров и представлений библиотек. Идея интеграции данных этапов не нова, она витала в воздухе уже несколько лет. Вопрос заключался в ее реализации. Важно, что речь идет не о создании единого окна или среды, из которой запускаются разные инструменты, а именно единого инструмента с единой базой данных от RTL до GDSII. Это решение позволило бы сократить время на разработку, устранить вопросы интеграции и передачи данных из одного инструмента в другой, упростить диалог топологов и разработчиков RTL и т. д. Важнейшей частью такого решения является так называемый унифицированный физический синтез (Unified Physical Synthesis – UPS), сочетающий в рамках одного этапа логический и физический синтез, а также размещение. Таким образом, за этапом UPS непосредственно следуют этапы создания деревьев синхронизации (CTS) и трассировки.

Компания Synopsys начала разработку такого инструмента несколько лет назад, а около двух лет назад Fusion Compiler стал доступен заказчикам для тестирования. Сейчас инструментом могут воспользоваться все желающие.

Часто от наших заказчиков мы слышим: «Вот бы был инструмент, который позволит, пусть не очень точно, но быстро оценить качество RTL-кода: реализуем ли он в топологии, а если нет, то в каком месте». Это особенно актуально для больших проектов, когда полноценный прогон занимает много часов. «Такая идея тоже не нова», – скажете вы. Но до сего момента полноценного единого инструмента с необходимыми свойствами на рынке не было. На базе нашей платформы Fusion (рис. 1) создан инструмент RTL Architect, который выполняет быстрый логический синтез RTL с учетом физических параметров проекта и оценивает качество RTL-кода по быстродействию, мощности и трассируемости, анализирует проблемные участки кода и отправляет отчет о них инженеру для улучшения качества RTL.

АНАЛОГОВОЕ ПРОЕКТИРОВАНИЕ

Очень важно иметь возможность легкой интеграции различных блоков проекта и переключения между ними с простым и понятным интерфейсом. Решение Synopsys для аналогового проектирования Custom Compiler

¹ ООО «Синописис», генеральный директор.

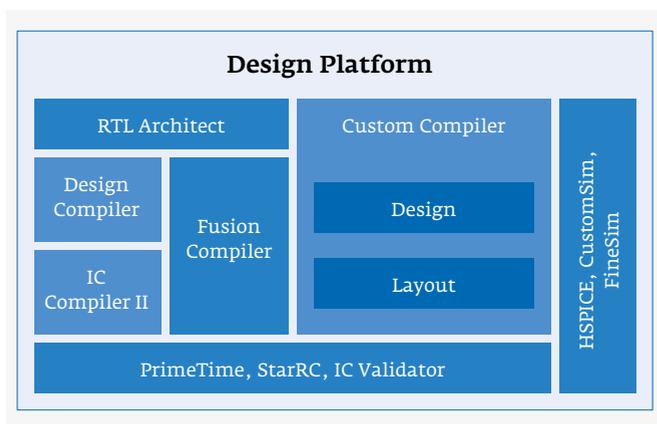


Рис. 1. Платформа проектирования Fusion

полностью интегрировано в маршрут проектирования, его можно использовать отдельно, можно вызывать из инструментов цифрового проектирования, можно выполнять редактирование параметров прямо «на холсте» и сохранять изменения, которые будут сразу отражаться в топологическом редакторе.

В данном решении большое внимание уделено удобству работы пользователя: оно, в частности, включает развитые возможности по повышению производительности (различные шаблоны, позволяющие создавать структуру, а затем использовать ее в дальнейшей работе как отдельный блок; автоматические и полуавтоматические трассировщики) и возможности анализа what-if «на лету» без фактического изменения схемы (когда можно изменить значение, например, емкости любой цепи «на холсте», и параметры цепи изменятся соответственно, что очень удобно для оценки качества изменений).

Решение также интегрировано с другими инструментами: средством проверки sign-off DRC (ICV Live) и инструментом StarRC, который является золотым стандартом для экстракции паразитных параметров. Следует упомянуть, что в Custom Compiler используется БД OpenAccess, благодаря чему имеется возможность открывать и редактировать проекты, созданные в сторонних инструментах, при наличии PDK для инструментов обоих вендоров.

Для работы с нашим решением важно проверять наличие PDK и gunset для соответствующей фабрики. Для большинства фабрик они имеются для технологий 65 нм и ниже.

НОРМОКОНТРОЛЬ

В дополнение к нашему золотому стандарту PrimeTime SI у нас появилось интересное решение PrimeECO – инструмент для осуществления финального нормоконтроля и коррекции статических временных параметров. Как и PrimeTime SI, он способен проводить полноценный анализ на быстродействие проекта целиком, но при этом

позволяет сгенерировать и, не выходя из инструмента, имплементировать в проекте необходимые изменения независимо от того, каким инструментом был имплементирован сам проект. В качестве входных данных может выступать БД NDM либо данные, представленные в стандартных ASCII-форматах.

ПРОВЕРКА СООТВЕТСТВИЯ ПРАВИЛАМ ПРОЕКТИРОВАНИЯ

Физическая верификация – одна из завершающих и наиболее критичная фаза маршрута физического проектирования. От нее часто зависит, состоится ли передача проекта на изготовление в соответствии с запланированным графиком.

Инструмент IC Validator NXT обладает способностью эффективно распределять задачи физической верификации на тысячи микропроцессоров и ядер. Этим в данном инструменте управляет планировщик (scheduler) нового поколения, выполняющий оценку, мониторинг и балансировку использования физической памяти, требующейся для проведения операций из списка проверок, и распределяющий задачи по различным процессорам оптимальным с точки зрения минимизации общего вычислительного времени, машинной памяти и использования жесткого диска образом. Этот планировщик способен динамически перераспределить задачи с одних аппаратных ресурсов на другие в случае, если на каком-либо сервере произошел аппаратный сбой или обнаружены сбои обмена данными по сети, с локальным диском или нехватка памяти.

Таким образом, IC Validator NXT способен автоматически восстанавливать работу и продолжать ее до окончания выполнения физической верификации без потери результатов расчетов.

Кроме того, встроенные в наши инструменты алгоритмы машинного обучения (рис. 2) позволяют улучшать показатели их работы.

ВЕРИФИКАЦИЯ

В области верификации Synopsys постоянно собирает отклики клиентов и совершенствует инструменты. С увеличением сложности и количества блоков в проектах время, необходимое для выполнения классического моделирования, становится непозволительно большим. Поэтому, для того чтобы обеспечить максимальное покрытие за кратчайшее время, Synopsys развивает унифицированную платформу, включающую в себя решения для разносторонней верификации и объединенную графическим интерфейсом Verdi (рис. 3).

Основанная на едином программном ядре моделирования VCS, платформа для верификации Verification Continuum позволяет проводить статический анализ VC SpyGlass и формальное моделирование VC Formal,



Рис. 2. Применение машинного обучения и искусственного интеллекта в инструментах Synopsys

прототипирование проекта на HAPS и эмуляцию на ZeVu, гибридное моделирование в случае больших проектов или когда над проектом работает несколько разных команд, а также совмещать моделирование блоков на разных уровнях абстракции – на системном уровне и на уровне уже реализованных в кремнии интерфейсов.

Рассмотрим в качестве примера крупный проект микропроцессора с большим количеством ядер и различными интерфейсами. Для верификации такого проекта можно купить большой эмулятор и запустить эмуляцию, загрузив в него RTL-описание всего микропроцессора, что потребует большого количества времени и ресурсов. Но если ядро уже верифицировано, а также отлажена часть блоков, эти части можно представить в виде системной модели и подключить через инструмент системного моделирования Virtualizer в зависимости от требуемой задачи к эмулятору или прототипу, на который будет

загружена логика, требующая проверки. При таком подходе емкость эмулятора или прототипа может быть намного меньше, что позволяет существенно снизить стоимость решения.

Еще одна новость: в линейке прототипов появился новый продукт HAPS[®]-SX с небольшой емкостью на базе новейших архитектур ПЛИС со встроенными DSP-ресурсами, которые позволяют прототипировать функционал обработки сигналов. Его применение станет более экономным решением, чем использование «доморощенного» прототипа.

В отношении решений для эмуляции стоит упомянуть, что в настоящее время ZeVu Server 4 от Synopsys – самый производительный эмулятор на рынке. Он обладает очень высокой надежностью и наименьшей стоимостью владения, не требует специальных условий для работы и может быть размещен в серверной.

Для проверки качества тестового покрытия также есть интереснейшее решение. В код вносится ошибка, причем не синтаксического характера, а относящаяся к логике в различных частях проекта, после чего запускаются тестовые векторы. В результате на основе того, будет найдена эта ошибка или нет, можно оценить полноту покрытия проекта соответствующими тестами.

Решения Synopsys для верификации и эмуляции очень хорошо зарекомендовали себя на рынке, демонстрируют высокую производительность и качество результата.

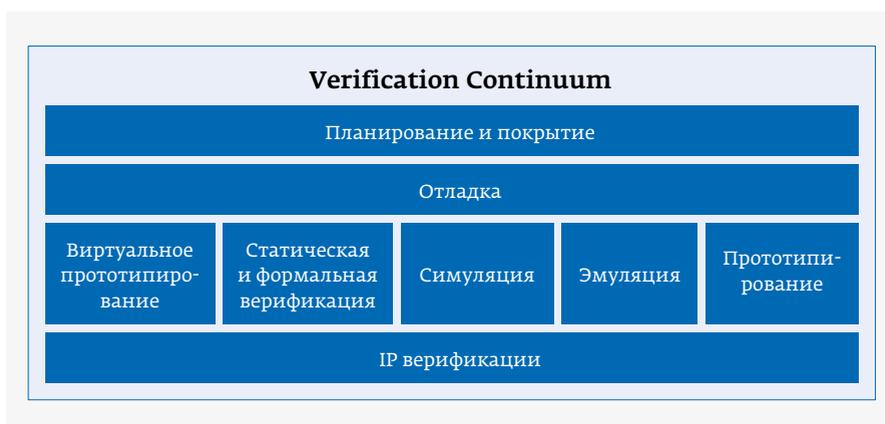


Рис. 3. Платформа верификации Verification Continuum

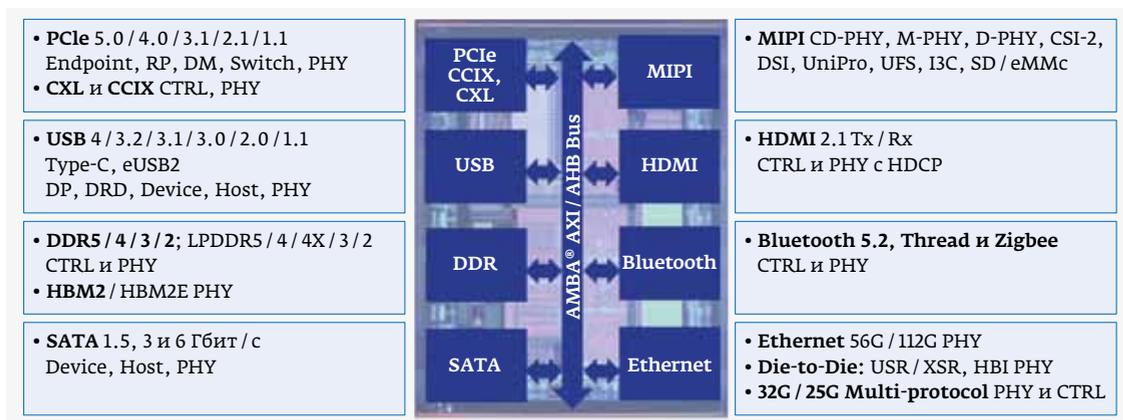


Рис. 4.
Портфолио интерфейсных IP-блоков Synopsys DesignWare

IP-БЛОКИ

Про IP-блоки Synopsys можно рассказывать долго. В частности, наша компания продолжает занимать лидирующие позиции в области интерфейсных блоков (рис. 4). Благодаря участию в комитетах организаций по разработке

стандартов, таких как IEEE, JEDEC, USB, PCIe, Serial ATA, MIPI и др. (см. таблицу), мы не только вносим свой вклад в создание новых и обновленных спецификаций, но и имеем возможность раньше выводить на рынок продукты для самых передовых заказчиков.

Участие Synopsys в организациях, разрабатывающих стандарты



Соавтор / сопредседатель по направлениям физического уровня, соединения, протокола, концентратора, стандарта Type-C



**Член совета вице-президентов, голо-
сующий участник** рабочих групп по протоколу, электрическим параметрам и обеспечению соответствия требованиям; **сопредседатель** рабочей группы по обеспечению соответствия требованиям



Участник и соавтор в подгруппах DP 1.4a, DP 1.5, дополненной и виртуальной реальности и обеспечения соответствия требованиям



Председатель рабочей группы по маркетингу, рабочие группы по протоколу и электрическим параметрам



Соавтор по твердотельной памяти (комитет JC-42), модулям DRAM (JC-45), буферным и SSI-компонентам (JC-40), eMMC и UFS (JC-64)



Внедряющий участник HDMI и член форума HDMI



Соавтор по IP шифрования (IEEE P1735), IP-ХАСТ (IEEE P1685), IEEE 802 Ethernet



Исполнительный участник



Член совета / соавтор в рабочих группах по протоколам CSI, DSI, физического уровня, датчиков, сенсоров прикосновения, автомобильным, аудио и UniPro. **Председатель** рабочих групп по DPHY и UniPro



Соавтор в рабочей группе по AHCI



Участник-соавтор



Внедряющий участник



Ассоциированный член основной рабочей группы Bluetooth



Член совета рабочих групп по CoreMark, безопасности IoT и коммуникации IoT

Сейчас основной упор делается на разработку IP-блоков для технологий 7 и 5 нм. Самыми ходовыми же являются технологии 28 и 16 нм. У нас есть и ассортимент блоков для технологий 90, 65 и 40 нм – в основном это память, библиотеки и аналоговые блоки, но в отношении этих норм необходимо уточнять наличие блоков для конкретной фабрики и технологического процесса.

Часто нам задают вопрос: «Как же так? Раньше был большой выбор блоков для всех технологий. Почему сейчас нельзя использовать то, что было доступно еще пять лет назад?» Связано это с тем, что фабрика периодически обновляет свои PDK в соответствии с изменениями в технологическом процессе. Synopsys может гарантировать работу конкретного блока на конкретной технологии, если блок был верифицирован относительно текущего PDK и был выпущен по этой технологии тестовый чип. Если PDK изменился, то возникает вопрос коммерческого характера: сколько надо инвестировать Synopsys для того, чтобы гарантировать качество. Таким образом, на одной чаше весов оказываются инвестиции в верификацию и, при необходимости, выпуск тестового чипа, а на другой – потенциальный объем продаж конкретного IP-блока.

Отдельно стоит упомянуть, что для цифрового и аналогового проектирования контроллеров и физических интерфейсов мы используем только свои собственные решения, что является показателем уровня качества в том числе нашего средства для аналогового проектирования.

Итак, что же интересного и нового есть в нашем портфеле для работы с IP-блоками?

Создание подсистемы конкретного интерфейса, связки «контроллер (CTRL) – физический уровень (PHY)» даже от одного поставщика – не всегда простая задача, и чем сложнее интерфейс, тем большей квалификацией должны обладать разработчики. Уровню российских разработчиков надо отдать должное: в нашей стране есть много замечательных и очень знающих инженеров. Но иногда просто из-за ограничений во времени или нехватки рук к нам приходят запросы по сборке подсистемы нашими силами после согласования требований с заказчиком. В том числе для решения таких задач у нас есть отдельный штат специалистов.

Также важно отметить, что Synopsys предлагает наборы для прототипирования IP Kit, в которые включены конкретные интерфейсы, реализованные в кремнии в виде конструкции «чип на плате», что позволяет быстрее создать прототип системы и начать разработку ПО.

Отдельно хочется упомянуть наши процессорные решения ARC, которые занимают достойные позиции на рынке микроконтроллеров, и различные решения на их базе для мобильных применений, Интернета вещей, 5G, сенсоров различного рода.

Есть задачи, для которых ультраважно обеспечить низкое энергопотребление и малую занимаемую площадь, максимально оптимизировать проект, реализовав только необходимые вычислительные мощности и убрав всё лишнее. Примером могут служить некоторые устройства медицинского назначения: слуховые аппараты, микромодули для кровяных роботов и т. п. При этом готовые решения могут оказаться неподходящими, и возникает необходимость в создании структуры, которая будет выполнять только заданные инструкции. Для таких задач у Synopsys есть решение ASIP Designer, которое позволяет взять за основу близкий к нужному процессор из библиотеки, входящей в состав инструмента, и модифицировать набор инструкций под конечное применение. На выходе будет

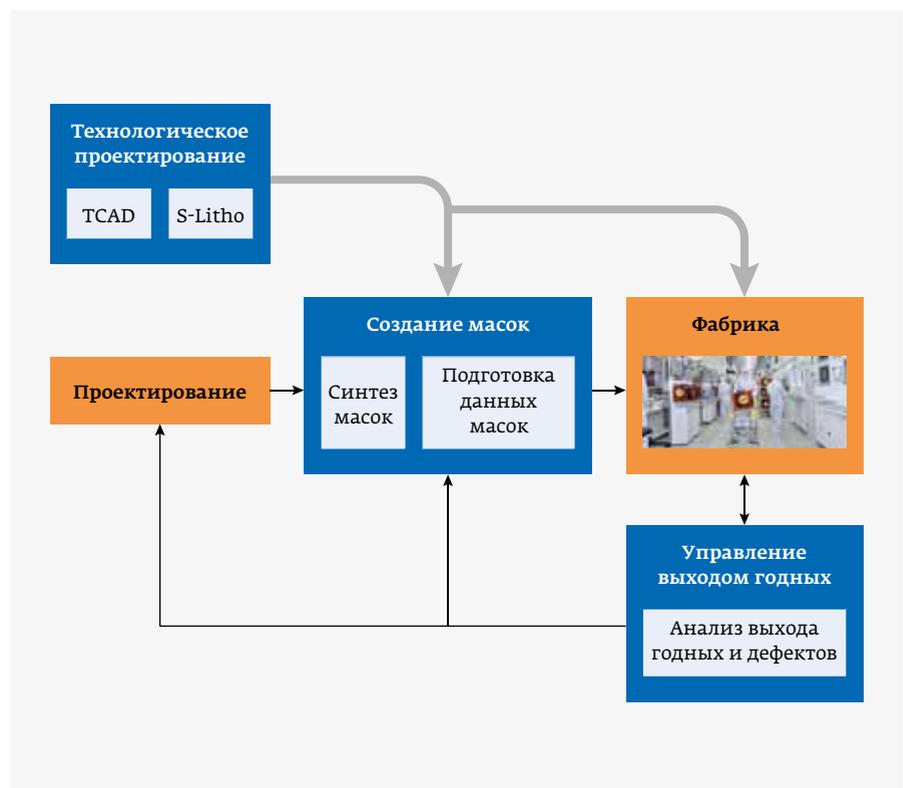


Рис. 5. Решения для кристалльных производств

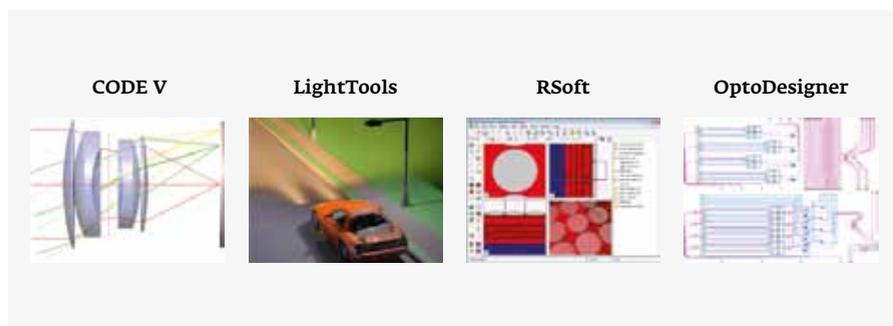


Рис. 6. Решения для моделирования оптических приборов и эффектов

сгенерирован RTL-код. Это может показаться фантастикой, но нет: это решение давно зарекомендовало себя на рынке.

ПРИБОРНО-ТЕХНОЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ

Набор решений Synopsys для фабрик также развивается. Наряду с популярными решениями TCAD для моделирования приборов и процессов и CATS и Proteus OPC для подготовки данных для фотошаблонов в состав платформы для производства входят такие инструменты, как Yield Manager – средство, позволяющее

данные из TCAD в маршруте проектирования микросхемы.

ОПТИЧЕСКОЕ МОДЕЛИРОВАНИЕ

Также у компании Synopsys относительно недавно появилось отдельное направление решений для моделирования оптических приборов и эффектов (рис. 6). Некоторые из этих решений уже активно используются разработчиками автомобильных фар, где важно учитывать различные факторы, чтобы обеспечивать хорошую видимость дороги и обочины водителем и в то же время не слепить водителей встречных транспортных средств.

SYNOPSYS®

Silicon to Software™

Процессорные решения Synopsys

IP & Инструменты, отвечающие широкому спектру требований к CPU & DSP

Процессорные ядра ARC® и EV

- Оптимизированы для встраиваемых приложений по параметрам занимаемой мощности, производительности и энергопотребления (PPA)
- Чрезвычайно конфигурируемы
- Расширяемый набор инструкций

Инструмент ASIP Designer

- Автоматизирует создание Процессоров специального назначения на базе набора инструкций (ASIPs)
- Позволяет пользователю разработать программируемый процессор, предназначенный для конкретной задачи
- Нужен, когда процессорное ядро не соответствует требованиям PPA, а аппаратное решение не предоставляет необходимой гибкости

Подробности на www.synopsys.com Москва, Смоленская площадь, дом 3 Тел: +7 (495) 933 1015

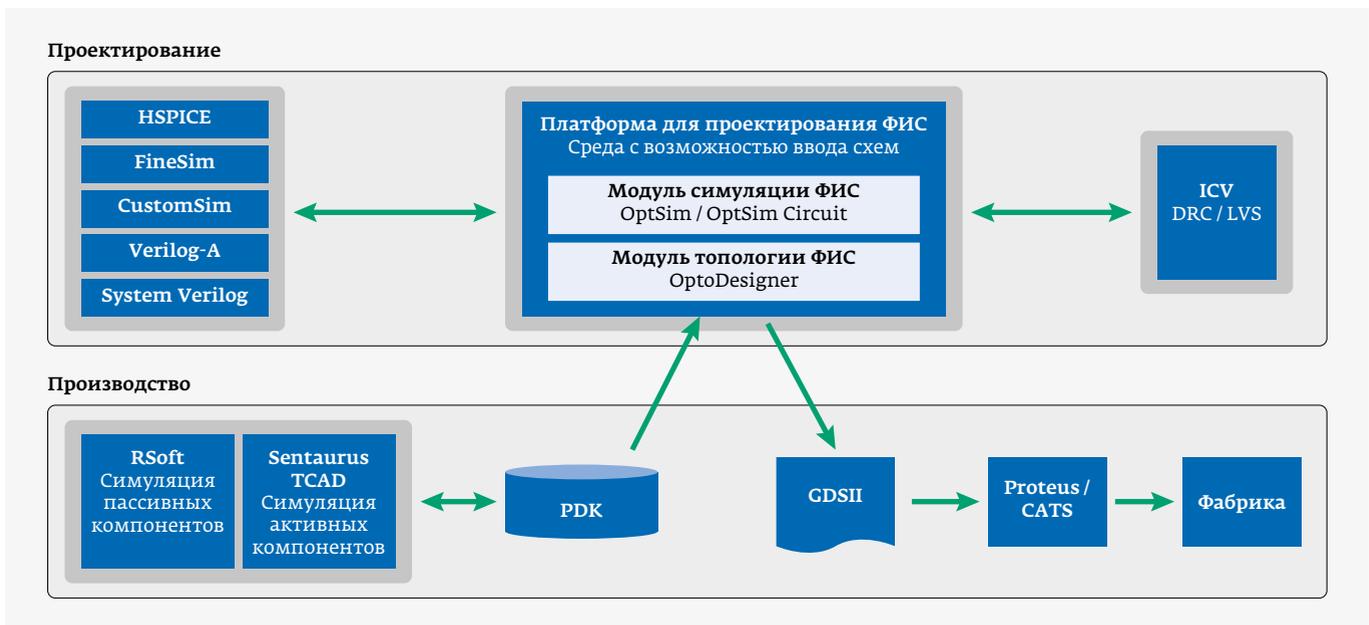


Рис. 7. Платформа для проектирования фотонных ИС и ее интеграция с другими решениями Synopsys

Портфолио решений для оптического моделирования Synopsys включает также средство разработки фотонных интегральных схем (ФИС), которое интегрировано с инструментами проектирования электронных ИС (рис. 7).

* * *

Компания Synopsys продолжает расширять набор своих решений, включив в него также и средства для анализа корректности и взломоустойчивости ПО, поскольку

в этом направлении она видит большие перспективы и востребованность у заказчиков.

Synopsys продолжает лидировать на рынке поставщиков САПР, успешно ведет дела и в России, работая с заказчиками в рублях, с 2007 года ведет университетскую программу в МИЭТ. У компании есть представительство в Санкт-Петербурге, занимающееся разработкой ПО для наших процессоров ARC и инструментов для фотолитографии.

Ждем вас на наших семинарах и симпозиумах! ●

КНИГИ ИЗДАТЕЛЬСТВА «ТЕХНОСФЕРА»



ВАЛИДАЦИЯ НА СИСТЕМНОМ УРОВНЕ. ВЫСОКОУРОВНЕВОЕ МОДЕЛИРОВАНИЕ И УПРАВЛЕНИЕ ТЕСТИРОВАНИЕМ

Чэнь М., Цинь К., Ку Х.-М., Мишра П.

При поддержке ЗАО «СКАН»

Перевод с англ. под ред. А. Н. Ланцева

В этой книге описываются методы высокоуровневого моделирования и валидации комплексных систем аппаратных средств и программного обеспечения, включая архитектуры с многоядерными процессорами.

Эта книга предназначена для студентов старших курсов, аспирантов, исследователей, разработчиков инструментов САПР, проектировщиков и менеджеров, заинтересованных в развитии эффективных инструментов и методов проектирования и валидации на системном уровне, генерации направленных тестов и функциональной валидации гетерогенных конструкций СнК (систем на кристалле).

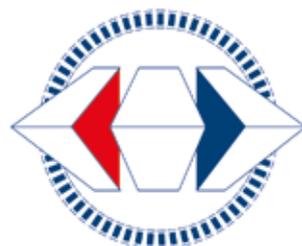
М.: ТЕХНОСФЕРА, 2014. – 296 с.,
ISBN 978-5-94836-365-3

Цена 760 руб.

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 495 234-0110; 📠 +7 495 956-3346; knigi@technosphera.ru, sales@technosphera.ru

11-13
НОЯБРЯ 2020



РОССИЙСКИЙ ПРОМЫШЛЕННИК

XXIV МЕЖДУНАРОДНЫЙ ФОРУМ

PROMEXPO.EXPOFORUM.RU



ОДНОВРЕМЕННО ПРОХОДЯТ:

- **ВЫСТАВКА-КОНГРЕСС «ЗАЩИТА ОТ КОРРОЗИИ»**
- **ВЫСТАВКА СВАРКА/WELDING**

РАЗДЕЛЫ:

- МАШИНОСТРОЕНИЕ
- МЕТАЛЛООБРАБОТКА, СТАНКООСТРОЕНИЕ
- АВТОМАТИЗАЦИЯ

- ПРИБОРОСТРОЕНИЕ, ЭЛЕКТРОНИКА
- СОВРЕМЕННЫЕ МАТЕРИАЛЫ
- РЕГИОНЫ РОССИИ

КОНГРЕССНО-ВЫСТАВОЧНЫЙ ЦЕНТР
ЭКСПОФОРУМ
САНКТ-ПЕТЕРБУРГ, ПЕТЕРБУРГСКОЕ ШОССЕ, 64/1

ОРГАНИЗАТОР

ПАРТНЁР

ГЕНЕРАЛЬНЫЙ
МЕДИАПАРТНЁР

12+

EXPOFORUM

