

# Проектирование корпусов и микросборок по технологии FO WLP средствами САПР MENTOR GRAPHICS

## Часть 2

Дж. Фергусон<sup>1</sup>, Д. Вертянов, к. т. н.<sup>2</sup>, К. Фелтон<sup>3</sup>, И. Беляков<sup>4</sup>,  
С. Евстафьев, к. т. н.<sup>5</sup>, В. Сидоренко<sup>6</sup>, Н. Горшкова, к. т. н.<sup>7</sup>

УДК 004.9:621.3 | ВАК 05.13.12

В процессе разработки корпусов и микросборок по технологии FO WLP приходится сталкиваться с уникальными особенностями и проблемами при проектировании и верификации. Исторически сложилось, что разработка интегральных схем и корпусов – это отдельные, независимые и мало похожие маршруты проектирования. Для объединения их в единый сквозной маршрут проектирования требуется приложить значительные усилия разработчиков разных профилей. Во второй части статьи рассмотрены основные этапы проектирования корпусов и микросборок по технологии FO WLP средствами сквозного маршрута компании Mentor Graphics.

Системы на кристалле (СНК) разрабатываются с применением средств автоматизации проектирования электронных приборов и устройств (EDA), которые ориентированы, в основном, на операционную систему Linux. EDA сертифицированы фабриками-изготовителями и полностью совместимы с комплектом средств проектирования PDK (Process Design Kit). Комплект средств проектирования – это совокупность файлов, которая позволяет проводить разработку электрических схем и топологий, моделирование, верификацию и экстракцию электронных блоков и микросхем. В комплект средств проектирования входят: технологическая библиотека, библиотека элементов технологии (транзисторы, резисторы, емкости, диоды, индуктивности), файл для трансляции в формат GDSII, модели элементов библиотеки, файлы физической верификации и экстракции для САПР и др.

Проектирование топологии блоков и СНК выполняется с использованием манхэттенской геометрии. После того как топология СНК готова, она проходит финальную верификацию на соответствие технологическим нормам и требованиям, сохраняется в соответствующий формат (GDSII или OASIS) и передается на фабрику. По завершении работы над проектом данные по кристаллу с указанием размеров кристалла и координат его контактных площадок отправляются команде разработчиков корпуса в одном из нескольких форматов (LEF, AIF и др.).

Группа разработчиков корпусов, микросборок, в основном, работает с EDA-программами, предназначенными для работы в операционной системе Microsoft Windows. Кроме того, при проектировании корпусов используется не манхэттенская геометрия, которая зачастую очень плохо совпадает с форматами данных ИС. В результате, две группы разработчиков имеют очень мало стандартов для обмена информацией. Разработчики корпусов, также как и разработчики ИС, отправляют данные по проекту на производственные участки компаний по сборке и тестированию (OSAT) в нескольких форматах, таких как AIF, ODB++, Gerber. Как правило, официальных требований к формату описания данных, которые прилагаются к проекту корпуса, не требуется, за исключением текстовых документов, описывающих предполагаемые правила проектирования.

Стоит отметить, что хотя эти две группы разработчиков имеют мало общих стандартов, для их объединения не требуется вводить новые. Таким образом, получается, что преобразование форматов в совокупности

<sup>1</sup> Mentor, A Siemens Business, продуктовый директор подразделения Design to Silicon, ru\_soft@mentor.com.

<sup>2</sup> Институт НМСТ НИУ МИЭТ, руководитель УНЦ, vdv.vertyanov@gmail.com.

<sup>3</sup> Mentor, A Siemens Business, маркетинг менеджер в области корпусирования, ru\_soft@mentor.com.

<sup>4</sup> Институт НМСТ НИУ МИЭТ, аспирант, igor-terra@yandex.ru.

<sup>5</sup> Институт НМСТ НИУ МИЭТ, доцент, madcatse@gmail.com.

<sup>6</sup> АО «ЗНТЦ», руководитель центра корпусирования и 3D-сборки микросхем, sidorenko@zntc.ru.

<sup>7</sup> АО НПЦ «ЭЛВИО», начальник лаборатории отдела проектирования аналоговых блоков.

с tools-to-tools-интерфейсами и протоколами обмена может удовлетворять потребности всех сторон. Обмен данными между операционными системами Microsoft Windows и Linux может достаточно эффективно осуществляться с помощью виртуального сетевого соединения (VNC).

## КОМПЛЕКСНЫЙ ПОДХОД К ПРОЕКТИРОВАНИЮ КОРПУСОВ И МИКРОСБОРОК ПО ТЕХНОЛОГИИ FO WLP

Внедрение комплексного подхода к проектированию FO WLP корпусов и микросборок требует значительно расширения взаимодействия между группами разработчиков ИС и корпусов. Например, если необходимо оптимизировать разработку корпуса по размеру и/или по производительности, то следует произвести оптимизацию всей системы, а не только ее отдельных элементов. Разработчик ИС может спроектировать высокопроизводительную микросхему относительно малых размеров, но при этом кристалл, скорее всего, будет крайне сложно разместить в корпусе без увеличения посадочного места. Аналогичным образом, разработчик корпуса может спроектировать простой и компактный корпус, но при этом у разработчика ИС возникнут проблемы с совмещением входов/выходов корпуса с контактными площадками кристалла. Для оптимизации проекта корпуса разработчик ИС должен больше знать о предполагаемом корпусе и, наоборот, разработчик корпуса должен больше знать о предполагаемой ИС, которую надо разместить в корпусе.

В частности, разработка радиочастотных и высокочастотных микросхем требует знаний о корпусе и соединениях с ним, поскольку это влияет на работоспособность конечного изделия. Хорошо спроектированная микросхема может оказаться нерабочей из-за недопустимых параметров корпуса и соединений с ним. Кроме того, существует ряд технологических особенностей, которые необходимо учитывать. Например, необходимо принять решение о создании fan-out-слоя с применением технологии ИС или корпусов.

Некоторые из этих проблем включают в себя:

- выбор RDL-слоев для кремниевой, органической или восстановленной пластин со встроенными кристаллами. Каждый тип имеет свои уникальные правила проектирования для повышения выхода годных;
- устранение остаточных напряжений. Заполнение фиктивными слоями металлизации помогает, но требует больших трудозатрат при верификации;
- распределение областей сплошной металлизации, как правило из меди, требует системы отверстий-слотов для предотвращения деформации подложки, возникающей из-за процессов термического

отверждения диэлектриков в коммутационных слоях. С этой целью необходимо равномерно распределять металл по всей поверхности;

- соединение контактных площадок кристалла с медными проводниками подложки требует образования специальных галтелей. С их помощью согласуются свойства материалов в области перехода;
- потенциальный сдвиг кристалла во время монтажа требует гибкого и легко изменяемого посадочного места.

**Решение Xpedition Package Integrator от Mentor Graphics** помогает группам разработчиков совместно проектировать ИС, корпуса и печатные платы, воспроизводя и оптимизируя сложные однокристалльные или многокристалльные сборки. Совместное проектирование с помощью Xpedition Package Integrator автоматизирует процессы размещения, оптимизации и коммутации от кристалла до различных вариантов сборки и корпусирования.

Для создания FO WLP корпуса, микросборки программа Xpedition Package Integrator предлагает среду интеграции/совместного проектирования для разработки ИС, печатных плат и корпусов в едином топологическом редакторе, который поддерживает разработку печатных плат, многокристалльных модулей, систем в корпусе, кремниевой фотоэлектроники, СВЧ-устройств, fan-out и BGA. Эта гибкая и универсальная платформа физического проектирования представляет собой единую иерархическую систему, которая достаточно просто дополняется функционалом с помощью объектной модели компонентов Microsoft (MS COM), а также обладает лучшей в отрасли технологией трассировки. Пользователи Xpedition Package Integrator могут выполнять как оптимизацию на уровне I/O на основе правил проектирования, так и анализ шариковых выводов, наблюдая при этом изменения всей системы, а также автоматически генерируя центральную библиотеку данных в процессе работы.

Возможности маршрута Xpedition для сквозного проектирования корпусов и микросборок включают в себя:

- менеджер соединений;
- разработку моделей для многопрофильных соединений:
  - язык описания аппаратуры (HDL, Verilog),
  - режимы редактирования на основе таблиц (электронных таблиц) и схем;
- проверку на закорачивание сигналов по всей проектируемой системе и их разделение при помощи функции автоматического создания выводов;
- трассировку соединений и их проверку на системном уровне (исходный документ – список соединений);
- объединение средств проектирования;

- оптимизацию межсоединений:
  - визуализацию и оптимизацию межсоединений всей системы (ИС, интерпозеры, корпуса и печатные платы...),
  - систему автоматического распутывания пересекающихся соединений («резиновых связей»),
  - снижение количества слоев, улучшение качества сигнала.

Электрическое моделирование и анализ корпуса (кристалла, корпуса, подложки, платы и т. д.) осуществляется при помощи программного комплекса моделирования печатных плат HyperLynx. Комплекс HyperLynx представляет собой программное обеспечение для анализа и верификации, которое позволяет разработчикам печатных плат эффективно анализировать, исправлять и проверять выполнение критически важных требований к печатным платам, чтобы в последующем избежать дорогостоящих повторных запусков на производстве. HyperLynx выполняет быстрое и точное моделирование и верификацию плат, элементов и компонентов – от проверки правил проектирования до проверки целостности питания и сигналов, что позволяет разработчикам определять, как эти элементы должны взаимодействовать, а затем оптимизировать все межсоединения. Совместное использование программ Xpedition Package Integrator и HyperLynx для разработки корпусов и микросборок по технологии FO WLP показано на рис. 8.

Традиционные технологии проектирования СМК основаны на использовании PDK от фабрик производителей, которые содержат набор полупроводниковых приборов (параметризованных ячеек), а также полностью сертифицированные методы проверки проектов ИС в виде набора правил проектирования.

Разработчики ИС используют PDK не только для того, чтобы снизить риски получения ошибок, но и для повышения производительности за счет внедрения проверенных методов верификации.

До сих пор компании, занимающиеся проектированием кристаллов и корпусов, не имели соответствующих сертифицированных методов проверки для обеспечения соответствия корпусов ИС требованиям, предъявляемым к технологичности изделия и его параметрам. Такое отсутствие сертифицированных методов проверки ставит разработчиков корпусов в заведомо невыгодное положение по сравнению с их коллегами по проектированию ИС. Обычно, для создания корпуса под кристалл используется несколько процессов, а то и несколько производств, что не только повышает уровень сложности, но и выявляет потребность в технологии, которая может обеспечить изготовление столь различающихся элементов в едином корпусе. Зачастую разработчики корпусов должны работать с плохо описанными и / или с несовместимыми процессами и каждый раз подтверждать проект корпуса. Кроме того, в новых типах корпусов, внедряемых сейчас на рынок, усиливается взаимодействие между элементами кристалла и корпуса, что стирает четкую грань между ними.

Множество проблем может возникнуть во время проверки корпуса для ИС. Группы разработчиков кристаллов зачастую преследуют совершенно иные цели, чем группа разработчиков корпусов, что создает непредвиденные проблемы с интеграцией. Как правило, кристаллы поступают от разных фабрик и проверяются разными методиками, что затрудняет выявление и устранение ошибок в работе корпуса. Кроме того, не существует соответствующего процесса верификации, чтобы гарантировать правильность присоединения кристалла к корпусу,

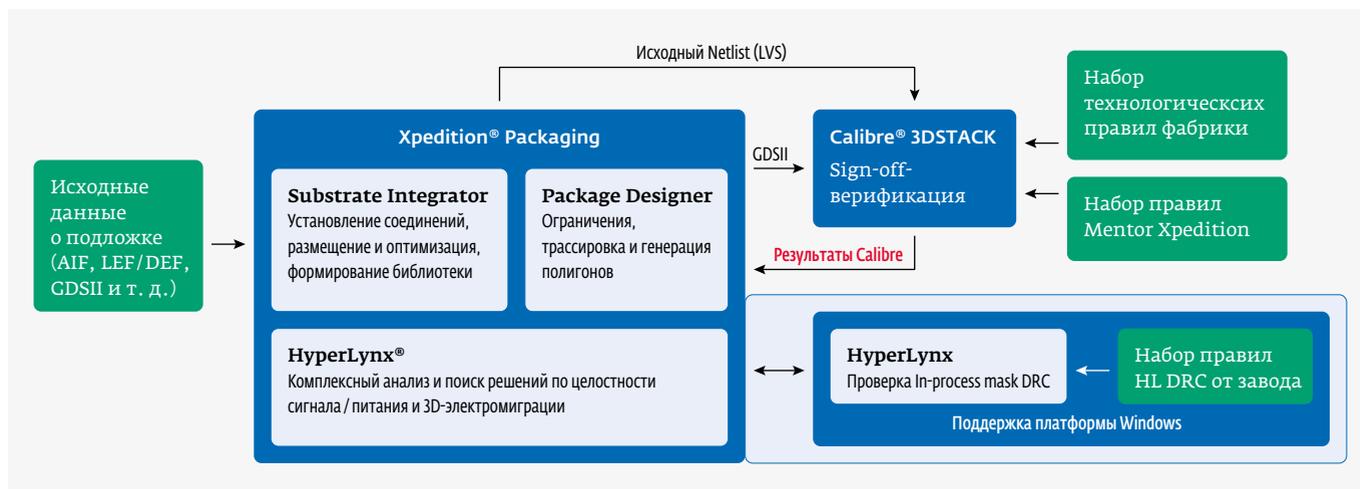


Рис. 8. Интеграция программ Xpedition Package Integrator и HyperLynx, позволяющая совместно проектировать корпуса и микросборки по технологии FO WLP

например типа BGA. Попросту говоря, отсутствуют сертифицированные параметры процессов и норм корпусирования, что заставляет разработчиков кристаллов и OSAT работать вслепую.

Это не значит, что полупроводниковая промышленность не хочет исправить ситуацию. Компании OSAT разрабатывали и производили корпуса на протяжении многих лет, кроме того, они выпустили различные программные средства, чтобы помочь разработчикам. Тем не менее, каждая группа разработчиков должна написать свои собственные правила для каждого корпуса, не имея контрольных значений параметров, которые бы гарантировали возможность изготовления и необходимые характеристики корпуса.

Компания Mentor первой применила совершенно новый подход к физической верификации корпуса, так называемый набор правил проектирования в соответствии с технологическими процессами сборки и монтажа ADK (Assembly Design Kits). Назначение ADK аналогично назначению PDK – гарантировать технологичность изделия и его параметры. Как в PDK, так и в ADK все правила стандартизированы, что обеспечивает согласованность всех процессов, сертифицированных программных средств, форматов интерфейса, форматов I/O – в общем, все, что нужно разработчику для успешного проектирования, тестирования, сертификации и подтверждения эффективности работы изделия. Так, например, одним из составных частей ADK является проверка слоев корпуса и связанных с ним слоев кристалла без какой-либо привязки к их расположению.

Поставщики САПР, поддерживающие ADK, гарантируют, что их программные средства могут выполнить все проверки и позволяют исправить любые ошибки. ADK дает множество преимуществ для индустрии: уменьшение рисков ошибок корпусирования, увеличение рынка корпусирования, повышение доли использования 2,5/3D-корпусов.

**Почему мы не можем использовать существующие маршруты верификации?** Существует множество причин, по которым системы верификации, ориентированные на ИС, не подходят для проверки корпусов. Программные средства физической верификации (PV) опираются на GDSII или схожие форматы топологии в качестве входных данных. Поскольку данные форматы не содержат информации для проверки геометрического расположения, такая информация возможна для всех слоев согласно их типовым наименованиям. Например, PV-инструменты делают заключение, что слой Металл2 выше слоя Металл1 и ниже Металл3, и что электрические соединения между этими слоями осуществляются с помощью соответствующих переходных отверстий. Любая геометрия, отображаемая на одном и том же слое, считается планарной, и другие элементы, которые накладываются

друг на друга или прилегают друг к другу, рассматриваются как один многоугольник, так как они будут объединены в процессе генерации маски.

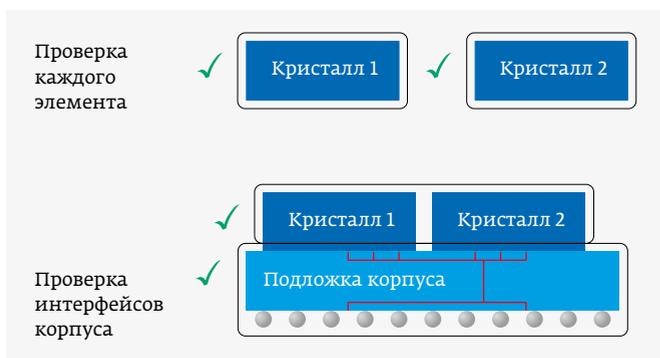
Однако, как правило, у разных производителей технологии формирования слоев различаются между собой, а иногда могут отличаться и на разных участках одной и той же фабрики. Программа проверки проектных норм DRC (Design Rule Check) будет обрабатывать расположение геометрии на одном слое, получая ее из RDL-слоев корпуса и считая ее планарной и единым целым, хотя в реальности между этими слоями существуют значительные вертикальные перепады. По этой причине традиционные программные средства PV ИС не могут быть просто применены к задачам, связанным с корпусами.

## ВЕРИФИКАЦИЯ КОРПУСОВ И МИКРОСБОРОК FO WLP

Учитывая все вышесказанное, очевидно требуется совершенно новый подход к физической верификации выпускаемых по технологии FO WLP корпусов или микросборок. Ключевым моментом в процедуре верификации является требование к качеству и скорости проверки проектов изделий. Процесс физической верификации может быть значительно упрощен, так как нет необходимости проверять полностью всю геометрию в каждом из кристаллов сборки. Каждый кристалл в FO WLP корпусах уже привязан к определенному производству с соответствующими DRC и LVS (Laout Versus Schematic – верификация проекта на соответствие топологии электрической схеме) правилами. Во время верификации FO WLP необходимо проверить коммутацию между кристаллами, что является непростой задачей. В некоторых случаях данная проверка требует извлечения нескольких слоев из каждого кристалла, чтобы определить последствия их влияния друг на друга и на всю сборку. Для гарантии правильности полученных результатов эти проверки должны быть очень точными, а используемые программные средства верификации должны идентифицировать слои и участки топологии, извлеченные из каждого кристалла.

Физическая верификация проекта должна учитывать уникальные физические параметры корпусов FO WLP:

- для варианта с несколькими бескорпусными микросхемами это:
  - наличие нескольких кристаллов, выполненных по различным технологическим процессам и от разных фабрик-производителей,
  - возможность использования одного и того же слоя на разных участках для нескольких кристаллов,
  - наличие корпуса,
  - применение выводов типа BGA,
  - наличие подложки;
- не манжеттенские объекты:
  - переходные отверстия, BGA и т. д.;



**Рис. 9.** Основные физические проверки корпусов типа FO WLP

- различные файлы стандартов:
  - GDSII против MCM, ODB++,
  - SPICE против таблиц с данными, разделенными запятыми (CSV).

Физическая проверка FO WLP состоит из двух основных этапов (рис. 9):

- проверка каждого элемента по отдельности на соответствие технологическим нормам и требованиям;
- проверка интерфейсов корпуса:
  - DRC-геометрии корпуса;
  - соотношение геометрии корпуса к геометрии кристалла;
  - проверка соединения кристалла к корпусу.

DRC, LVS корпусов и проверка интерфейсов могут быть объединены в **единый маршрут верификации Calibre 3DSTACK** и проверены за один запуск. Для верификации кристаллов отдельно от корпуса требуются дополнительные DRC- и LVS-проверки.

Как было отмечено ранее, программные средства верификации должны быть способны реализовать проверку слоев корпуса и слоев для соединения кристаллов между собой (RDL-слои) без применения каких-либо специальных технологий формирования структуры слоев. Данные проверки включают в себя проверку целостности соединений внутри корпуса (кристалла к кристаллу) и снаружи корпуса (кристалла к выводам BGA).

Следующим шагом является проверка электрических соединений всей сборки. В полупроводниковой отрасли разработчики, в основном, опираются на такие стандарты, как SPICE-формат, которые очень подробно описывают все соединения каждого отдельного элемента изделия.

Симуляцию электрических воздействий можно организовать путем сопоставления элементов изделия соответствующим моделям и отслеживания их соединений со всеми остальными элементами схемы устройства. К сожалению, несмотря на то, что SPICE-формат называют «списком соединений», он на самом деле не содержит

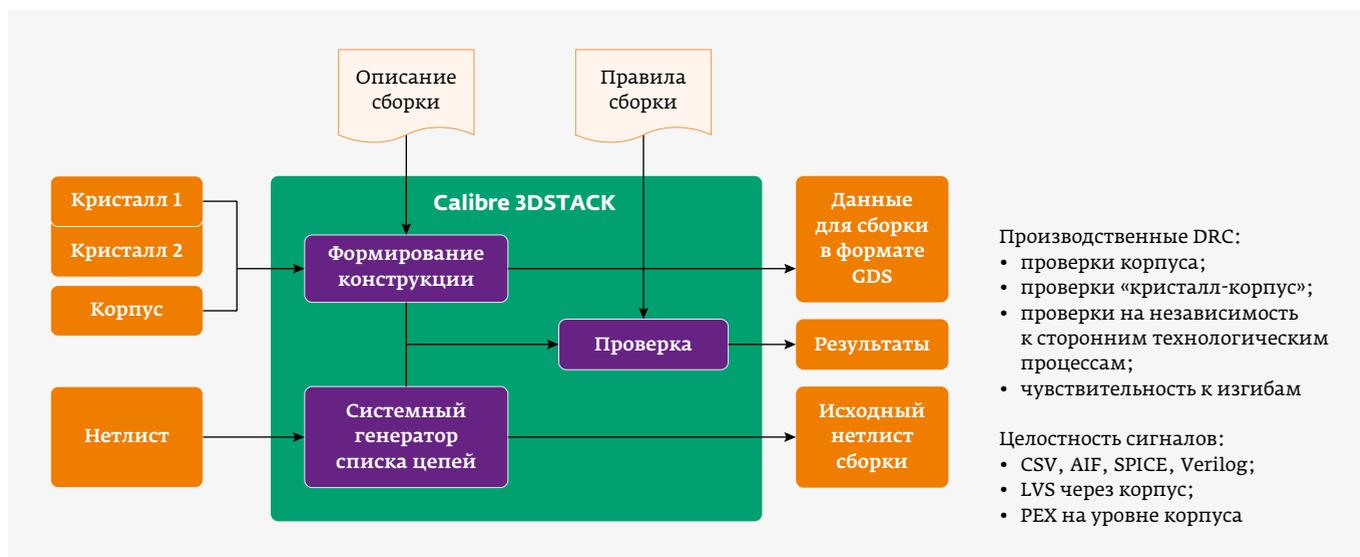
прямой информации о соединениях. Вместо этого, он описывает элементы и их выводы. Такая логика не работает в отношении сборки корпусов, так как программы для проектирования корпусов в реальности не работают с проектными данными на уровне транзисторов. При отсутствии реальных элементов традиционное средство LVS-проверки, опираясь на SPICE-файл, ничего не может проверить в корпусе. Другие форматы файлов, такие как AIF, используются для представления соединений от выводов к кристаллу и связанных с ним элементов.

Calibre nmPlatform может справиться со всеми указанными задачами верификации. Функционал Calibre 3DSTACK, встроенный в Calibre nmPlatform, позволяет разделять требования к правилам процесса изготовления кристаллов и сборки.

Компании по производству корпусов или OSAT отвечают за создание, проверку, сертификацию и распространение правил для корпусов и их интерфейсов. Разработчики корпусов отвечают за описание того, как должен собираться корпус, чтобы программные средства проектирования могли различать каждый слой в каждом кристалле. Данный процесс может быть автоматизирован при помощи извлечения информации о конструкции корпуса из программных средств, используемых для создания единого маршрута проектирования.

Синтаксис в Calibre 3DSTACK может совмещать два типа правил и предоставлять возможности проверки проектных норм. Используя данную информацию, функционал Calibre 3DSTACK формирует свой собственный вид сборки и проверяет, удовлетворяет ли она всем требованиям (рис. 10). Эта проверка включает в себя сравнение физической сборки корпуса с исходным списком цепей, который может поставляться в стандартном формате ИС, таком как SPICE или Verilog, или же в традиционном для программных средств проектирования корпусов формате AIF или CSV. После проведения процесса верификации, Calibre 3DSTACK предоставляет сообщения об ошибках, которые могут быть выявлены в ходе разработки корпуса при использовании традиционных средств отображения результатов CalibreRVE, а также генерирует списки цепей, представляя сборку для результатов перекрестной проверки соединений.

Компания OSAT или фабрика определяют состав (набор) электрических соединений для LVS-сопоставления на конструкциях FO WLP и создают правила проектирования под конкретные параметры корпуса, а также требования к геометрии элементов коммутации от кристалла к корпусу. Например, ширина проводника в корпусе изменяется в зависимости от его расположения: над кристаллом, между кристаллами или далеко от кристалла, поэтому необходимы правила, которые должны управлять созданием проводников в корпусе, включая такие параметры, как размер, расстояние и т.д. Проверка правил



**Рис. 10.** Функциональные возможности Calibre 3DSTACK, которые поддерживают все уникальные требования к проверке корпусов типа FO WLP

проектирования может быть использована для гарантии, что все предъявляемые требования к корпусу выполняются. Обычно проверка (рис. 11) включает в себя:

- проверку DRC и LVS для всех элементов коммутации между корпусом и кристаллом;
- выполнение DRC-проверки на RDL-слоях:
  - предотвращение прямых углов в геометрии RDL-слоев,
  - проверку ширины и расстояния между проводниками в зависимости от области применения;
- выполнение проверки плотности металлизации:
  - проверку заполнения свободных мест металлом и/или создание металлических слоев со слотами,
  - проверку плотности заполнения слоями в зависимости от области применения.

Компания OSAT или фабрика также могут написать правила для всех типов элементов и конструкций, разрешенных для использования в корпусе, например:

- проверка соблюдения правил сборки:
  - расстояние между кристаллом и кристаллом,
  - расстояние между кристаллом и корпусом,
  - взаиморасположение кристалла и корпуса,
  - правила трассировки углов,
  - расстояние между заземляющей крышкой и BGA-выводами;
- проверка на механические напряжения:
  - частота выводов от кристалла к корпусу.

Для устранения проблем, связанных с отображением слоев, функционал Calibre 3DSTACK автоматически переназначает все слои для каждого элемента (кристалла, интерпозера, слоев корпуса и т. д.) с целью разделения слоев. Это переназначение должно делаться после каждой компоновки, для того чтобы избежать проблем, вызванных с многократным размещением одного и того же кристалла. Однако, одного только переназначения без дополнительных средств недостаточно. Обычно, правила DRC заданы для технологических слоев, доступных в кристалле ИС, но поскольку все эти слои теперь переназначены и имеют уникальные имена, проверка сборки всегда будет требовать наличия уникального файла правил, относящихся



**Рис. 11.** Проверка правил проектирования в ADK при разработке корпуса

к слоям кристалла в определенной конфигурации. Вместо этого программное средство Calibre 3DSTACK представляет автору правила проверки с разделением для обозначений типов слоев (контактные площадки, столбиковые выводы, RDL и т. д.), поэтому правила могут быть ассоциированы с этими типами.

При запуске процесса Calibre 3DSTACK система Calibre может связать конкретные слои каждого кристалла или элемента корпуса с соответствующим типом слоя. Знание того, как каждый элемент взаимодействует с другими, позволяет Calibre 3DSTACK автоматически генерировать набор детализированных проверок между соответствующими слоями каждого элемента, в независимости от того, как настроен проект, сколько кристаллов размещено или от того, для каких процессов эти кристаллы предназначены.

Первая проблема, с которой сталкивается LVS – отсутствие общепринятого исходного списка цепей корпуса. В связи с этим список заменяют табличным форматом CSV. Проверка LVS через RDL-слои корпуса подтверждается проверкой физических соединений внешних выводов с контактами на кристалле. Для того чтобы разработчики могли проверить соединения конструкции корпуса (не устройства) отдельно, а также улучшить существующее решение для выделения списка цепей (значение соединений) для полностью сформированной системы (ИС + корпус) на основе перечня координат выводов и списка цепей, генерируется виртуальный кристалл. Программное средство Calibre 3DSTACK может выполнять проверку соединений при помощи верификации соединений кристалла к кристаллу и кристалла к BGA в корпусе, тем самым определяя любые нежелательные короткие замыкания и разрывы.

Сформированный список цепей генерируется путем автоматического объединения списка цепей корпуса, извлеченного из Calibre 3DSTACK, и заполнения элементов от кристаллов уже полученным списком цепей паразитных связей для каждого кристалла. Эта задача может быть выполнена при помощи системного генератора списка цепей (SNG), который является частью Calibre 3DSTACK. SNG может быть использован для генерации исходных списков цепей для ввода в Calibre 3DSTACK или для объединения нескольких списков цепей в один для создания группы паразитических цепей. SNG может работать совместно с другими средствами или в режиме GUI, а также может создавать сокращенный список цепей для конкретной части кристалла или сборки. Созданные списки цепей могут быть использованы для SPICE-моделирования, а также для проверки на устойчивость к электростатическим разрядам (ESD) или электромиграции (EM) при помощи средств Calibre PERC.

**Но как быть с возможными паразитными явлениями в соединениях между кристаллами?** Соединения между кристаллами и внешними выводами корпуса, а также между двумя соседними кристаллами могут иметь паразитные емкости и/или индуктивности. Calibre 3DSTACK предлагает готовое решение по оценке паразитных соединений в виде повторного извлечения такого рода связей от каждого кристалла, но с одним или двумя слоями. Безусловно, такие слои должны учитываться при калибровке. Это достигается при помощи проведения более простой «поэтапной калибровки», которая распространяется на существующие файлы MiPT, сгенерированные нужным производителем для конкретных технологий изготовления кристаллов. Благодаря этой новой информации о паразитных связях в каждом кристалле разработчики могут снова объединять данные о списках цепей в сборке для генерации более точного списка цепей.

При помощи средств Calibre 3DSTACK производители и компании OSAT создают файлы правил для работы с FO WLP, которые могут быть использованы любыми разработчиками, желающими использовать технологию корпусирования от производителей или OSAT в зависимости от области применения данных кристаллов или их количества в одном корпусе. С помощью файлов-правил проверяют производственные ограничения RDL-слоев корпусов и соединения между кристаллами, проверяют соединения по всему корпусу: от кристалла к кристаллу и от кристалла к выводам BGA. Разработчики, пользующиеся такими файлами, могут выгодно использовать стандартные функции Calibre для просмотра и исправления ошибок.

Система верификации надежности Calibre PERC позволяет проводить более глубокие проверки по сравнению со стандартными DRC, LVS и проверками правил электрических соединений (ERC), доступных в Calibre 3DSTACK. Данное средство дает возможность в процессе разработки рассматривать уникальные решения по увеличению надежности и снижать взаимовлияние элементов друг на друга (рис. 12). Типичные области применения:

- ESD, электрические перегрузки (EOS) и обнаружение замыканий;
- проверка номинального напряжения;
- разработка изделий с низким энергопотреблением;
- повышение выхода годных изделий.

## РЕЗУЛЬТАТЫ, ПОДТВЕРЖДЕННЫЕ ПРОИЗВОДСТВОМ

Компания Mentor Graphics успешно разработала и доказала жизнеспособность ADK, используя технологические модули Calibre 3DSTACK. Комплекс Calibre 3DSTACK был разработан и сертифицирован фирмой STATS ChipPAC – лидирующей OSAT-компанией в области технологий

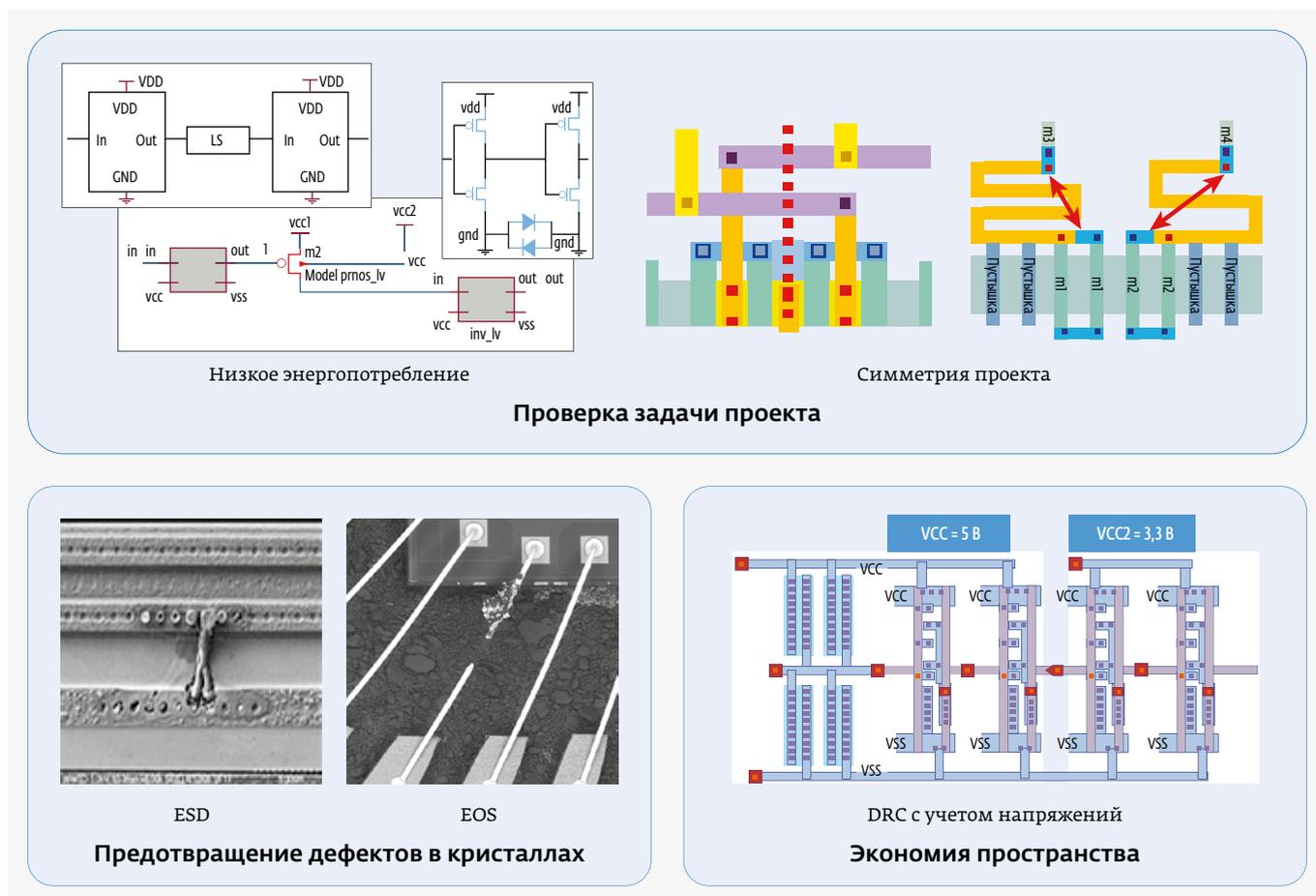


Рис. 12. Система проверки надежности Calibre PERC может оценивать большое количество различных параметров и проблем надежности в FO WLP корпусах

корпусирования на уровне пластины eWLP. Этот файл правил был адаптирован и проверен при изготовлении микросборки Qualcomm, состоящей из двух кристаллов, соединенных в корпусе с помощью RDL. Процесс верификации включает в себя DRC-правила для слоев корпуса, а также проверку коммутации кристаллов между собой и с корпусом.

\* \* \*

Проектирование и верификация корпусов или микросборок FO WLP вводят новые требования и задачи, которые обязывают применять новые средства EDA, функции и технологические процессы, так как разработка корпусов или микросборок FO WLP требует взаимного сотрудничества между разработчиками, компаниями OSAT, фабриками и продавцами EDA. Применение современных средств проектирования, которые имеют необходимую интеграцию и функциональные возможности для работы и с интегральными схемами, и с корпусами, позволяет уменьшить риск ошибок корпусирования, а также время выполнения заказов для поставщиков компонентов, OSAT

и производителей. Используя средства Mentor Graphics EDA, можно быть уверенным, что разработчики корпусов FO WLP имеют все необходимые возможности проектирования и верификации для получения максимальной выгоды от новой технологии корпусирования, поддерживаемой рынком.

## ЛИТЕРАТУРА

1. **Burakov M. M., Vertyanov D. V., Boyko A. N., Sosnovsky A. V.** Investigation of TSV metallization for MEMS encapsulation technology. 2018 // *ElConRus Conference IEEE*. PP. 1599–1603. DOI: 10.1109/ElConRus.2018.8317411.
2. **Вертянов Д., Евстафьев С., Виклунд П., Сидоренко В.** Технологии внутреннего монтажа бескорпусных элементов и особенности проектирования микросистем со встроенными кристаллами. Ч. 2 // *ЭЛЕКТРОНИКА: Наука, Технология, Бизнес*. 2020. № 7 (00198). С. 144–148. DOI: 10.22184/1992-4178.2020.198.7.144.148.
3. **Вертянов Д., Евстафьев С., Виклунд П., Сидоренко В.** Технологии внутреннего монтажа бескорпусных элементов и особенности проектирования микросистем

- со встроенными кристаллами. Ч. 1 // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2020. № 6 (00197). С. 96–102. DOI: 10.22184/1992-4178.2020.197.6.96.102.
4. **Вертянов Д. В., Сидоренко В. Н., Тимошенков С. П., Ковалёв А. А.** Перспективные конструктивно-технологические решения для производства «систем в корпусе» // Технологии в электронной промышленности. 2019. № 4. С. 60–64.
  5. **Kumar S., Shoo F., Trivedi V.** Status of the advanced packaging industry 2020 // Market & technology report. July 2020. Yole developpement. 2020. 5 p.
  6. **Lapedus M.** Fan-Out Wars Begin [Электронный ресурс] // Semiconductor Engineering. 2018. URL: <https://semiengineering.com/fan-out-wars-begin/> (дата обращения 20.04.2021).
  7. **Lau J. H.** Fan-Out Wafer Level Packaging // Springer. 2018. PP. 5–31.
  8. **Germering H. H., Erlangen T. M., Munich B. V.** Transfer wafer level packaging. Заявитель и патентообладатель Infineon Technologies AG, опубл. 27.04.2004.
  9. **Вертянов Д. В., Сидоренко В. Н., Бураков М. М., Беляков И. А.** Технологии формирования межуровневой коммутации для изготовления трехмерных микросборок // НАНОИНДУСТРИЯ. 2019. № 5 (82). С. 515–526. DOI: 10.22184/NanoRus.2019.12.89.515.526.
  10. **Lau John H.** 3D IC Packaging 3D IC Integration: A CPMT Distinguish Lecture // San Diego Chapter. 2015.
  11. **Lanzone R.** Amkor Technology Advanced Package Solutions // SVP Engineering Solutions: Confab. Las Vegas. 2013.
  12. **Liu C. C. et al.** High-performance integrated fan-out wafer level packaging (InFO-WLP): Technology and system integration, Electron Devices Meeting (IEDM), 2012 IEEE International, San Francisco, CA, 2012. PP. 14.1.1–14.1.4. DOI: 10.1109/IEDM.2012.6479039.
  13. **Lau H. J.** Fan-Out Wafer-Level Packaging for 3D IC Heterogeneous Integration // IEEE/EPSC Chapter Lecture in the Silicon Valley Are. 2018. 79 p.
  14. Fan-Out Wafer-Level Packaging (FOWLP) Consortium, <https://www.a-star.edu.sg/ime/INDUSTRY/INDUSTRY-CONSORTIA/Fan-Out-Wafer-Level-Packaging-FOWLP-Consortium.aspx>.
  15. TechSearch International, Inc., «The Future of Packaging and Assembly Technology,» presentation at Central Texas Electronics Association, 2016. [http://www.smta.org/chapters/files/Central-Texas\\_CTEAVardaman2016.pdf](http://www.smta.org/chapters/files/Central-Texas_CTEAVardaman2016.pdf).
  16. Letter to Shareholders // Taiwan Semiconductor Manufacturing Co Ltd, 2015. [http://www.tsmc.com/download/ir/annualReports/2015/english/pdf/e\\_1\\_1.pdf](http://www.tsmc.com/download/ir/annualReports/2015/english/pdf/e_1_1.pdf)
  17. Intel Custom Foundry. «Embedded Multi-die Interconnect Bridge,» Intel Corporation, <http://www.intel.com/content/www/us/en/foundry/emib.html>.
  18. Taiwan Semiconductor Manufacturing Co Ltd Earnings Call. October 15. 2015. [http://www.tsmc.com/uploadfile/ir/quarterly/2015/3C2bO/E/TSMC\\_3Q15\\_transcript.pdf](http://www.tsmc.com/uploadfile/ir/quarterly/2015/3C2bO/E/TSMC_3Q15_transcript.pdf).

## КНИГИ ИЗДАТЕЛЬСТВА «ТЕХНОСФЕРА»



Цена 760 руб.

### СОВРЕМЕННЫЕ ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ТРЕХМЕРНЫХ ЭЛЕКТРОННЫХ УСТРОЙСТВ

Учеб. пособие. 2-е изд., испр. и доп.

Кондрашин А. А., Лямин А. Н., Слепцов В. В.

С развитием высоких технологий становится реальным выпуск трехмерных электронных устройств (ТЭУ). Решением данной задачи являются еще только разрабатываемые гибридные технологии, названные в данной работе квази-4D-технологиями формирования ТЭУ. В то же время создана классификация 4D-объектов (способных менять свою форму или структуру после их создания в зависимости от внешних условий, например при изменении температуры, при механическом воздействии и т.д.) ТЭУ и технологий для их формирования.

Данное учебное пособие является первой книгой по технологиям изготовления, сканирования и визуализации трехмерных электронных устройств. Во второй книге будут рассмотрены технологии сканирования трехмерных электронных устройств различных диапазонов, в том числе нанометрового диапазона. Отдельный раздел второй книги будет посвящен возможностям изготовления трехмерных электронных устройств нанометрового диапазона с применением методов сканирующей микроскопии. Третья книга будет посвящена технологиям визуализации (средствам отображения информации) для контроля параметров ТЭУ, создания новых ТЭУ и технологий реинжиниринга ТЭУ.

Учебное пособие может быть рекомендовано бакалаврам и магистрам высших учебных заведений.

М.: ТЕХНОСФЕРА,  
2019. – 210 с.,  
ISBN 978-5-94836-504-6

#### КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 495 234-0110; 📠 +7 495 956-3346; [knigi@technosphera.ru](mailto:knigi@technosphera.ru), [sales@technosphera.ru](mailto:sales@technosphera.ru)



ПАТРОНАЖ ТПИ РФ

**21-24**

СЕНТЯБРЯ 2021

САНКТ-ПЕТЕРБУРГ

КВЦ «ЭКСПОФОРУМ»

**Radel**

# XXI МЕЖДУНАРОДНАЯ ВЫСТАВКА РАДИОЭЛЕКТРОНИКА & ПРИБОРОСТРОЕНИЕ

- ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ И КОМПЛЕКТУЮЩИЕ
- ПЕЧАТНЫЕ ПЛАТЫ И ДРУГИЕ НОСИТЕЛИ СХЕМ
- СВЕТОДИОДНЫЕ ТЕХНОЛОГИИ
- РАЗРАБОТКА И ПРОИЗВОДСТВО ЭЛЕКТРОННЫХ УСТРОЙСТВ
- РОБОТОТЕХНИКА
- КОНСТРУКТИВЫ
- МАТЕРИАЛЫ
- ТЕХНОЛОГИИ
- ПРОМЫШЛЕННОЕ ОБОРУДОВАНИЕ И ИНСТРУМЕНТЫ
- КОНТРОЛЬНО-ИЗМЕРИТЕЛЬНЫЕ ПРИБОРЫ И ЛАБОРАТОРНОЕ ОБОРУДОВАНИЕ



[radelexpo.ru](http://radelexpo.ru) (812) 718-35-37

ОРГАНИЗАТОР ВЫСТАВКИ:



**FarEXPO** | **FE**<sup>®</sup>

Международная выставка в сфере радиоэлектроники