

Входной контроль микросхем Xilinx Virtex-7 с помощью периферийного сканирования

А. Иванов¹, Д. Никишин²

УДК 621.317 | ВАК 05.27.06

Тематика входного контроля сложных микросхем постоянно возникает на различных предприятиях радиоэлектронной промышленности. При этом причины и задачи могут быть различными: это и дополнительная проверка качества перед монтажом на платы, входящие в состав оборудования для критических применений, и отсева контрафактной продукции, и ряд других. В статье рассматривается использование периферийного сканирования для реализации входного контроля.

Если в контексте входного контроля речь идет о пассивных компонентах, то задача сводится к созданию или покупке контактного приспособления и небольшому набору параметров, проверяемых тем или иным измерительным прибором (рис. 1). Здесь мы, по сути, с помощью измерительного прибора проверяем саму функциональность: например, миллиомметром измеряем сопротивление чип-резистора. Это – задача, выполняемая при минимальных вложениях, как финансовых, так и интеллектуальных. Чуть сложнее, но всё же не так сложна в инженерном исполнении и задача тестирования полупроводниковых компонентов.

При организации входного контроля цифровых микросхем, таких как микропроцессоры, микроконтроллеры, ПЛИС, однако, возникает ряд трудностей. Для того чтобы проверить функционал микросхемы, нужны, по сути, ресурсные затраты, сравнимые с разработкой конечного устройства. При этом нужно помнить о том, что для процессора или ПЛИС часто требуется создание сложной оснастки, содержащей в своем составе контактное устройство (КУ). Такие барьеры приводят к тому, что входной контроль сложных микросхем сводится к визуальному контролю или измерению аналоговых параметров защитных диодов сигнальных выводов. В последнем случае проблема КУ, впрочем, всё равно остается актуальной, если на предприятии нет установки для тестирования плат с «летающими» пробниками (рис. 2), которую можно использовать для контактирования с выводами ИМС.

Опыт эксплуатации станций периферийного сканирования на большом количестве российских предприятий показал, что их можно применять не только для тестирования собранных цифровых плат, для чего они,

собственно, предназначены, но и для входного контроля микросхем. Функциональность систем JTAG-тестирования отлично подходит для базовой прозвонки выводов микросхем, чтения ID-кода, программирования. Этим пользуются многие заказчики компании JTAG Technologies.

Технологии JTAG-тестирования, если говорить о применении их для входного контроля микросхем, можно разделить на функциональные проверки микросхемы и на периферийное сканирование, то есть тесты, которые можно сделать, пользуясь архитектурой IEEE 1149.1. Функциональные JTAG проверки – это всё то, что можно сделать через JTAG-интерфейс, помимо периферийного сканирования. Это может быть чтение определенных регистров микросхем с какими-то данными, программирование или конфигурирование. Функциональные проверки



Рис. 1. Тестовая оснастка для входного контроля отдельных чип-резисторов производства компании «Остек-Электро»

¹ JTAG Technologies, alexey@jtag.com.

² ООО «ИнжГрупп», nikisheen@mail.ru.

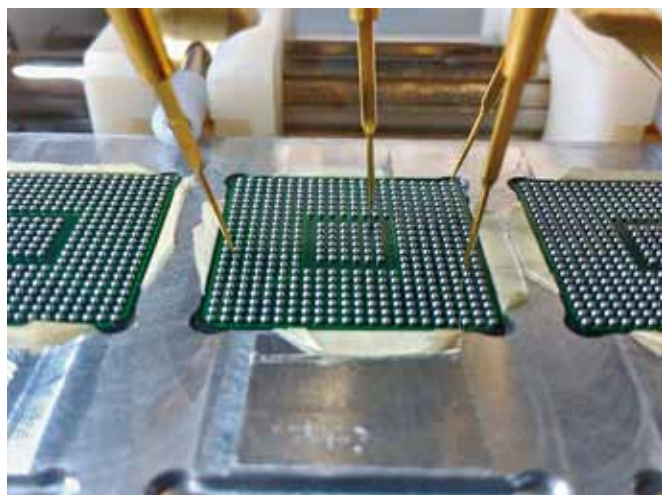


Рис. 2. Тестирование узловых импедансов незапитанной микросхемы в корпусе BGA на установке с «летающими» щупами SPEA 4060

для того или иного типа микросхемы ограничены и зависят от того, к чему есть доступ через JTAG-интерфейс, а также от того, насколько разработчик тестов владеет архитектурой предоставленной ИМС. Тесты же периферийного сканирования – стандартны и за счет этого автоматизированы. В их число входит тест инфраструктуры, тест межсоединений (в контексте входного контроля – это проверка разварки кристалла на целостность). При этом функциональные тесты JTAG создаются вручную, хоть и с использованием сред проектирования (например, JTAG Functional Test, CoreCommander), а тесты периферийного сканирования – автоматически генерируются. В связи с автоматизацией создания тестов самая большая проблема в данном применении – это оснастка для подключения микросхем.

Периферийное сканирование по стандарту IEEE 1149.1 поддерживают многие микросхемы, в том числе и довольно простые, с небольшим количеством ножек. Например, нами была создана опытная оснастка для тестирования микроконтроллеров STM32F100 (рис. 3). Микросхема имеет тип корпуса LQFP48 и несложную систему питания с одним напряжением. Таким образом, для создания оснастки потребовалось приобрести доступное на рынке по небольшой цене КУ и развести его выводы (в нашем случае это выводы проверяемого микроконтроллера) на внешние разъемы. К этим разъемам подключаются и контроллер периферийного сканирования, и DIOS-модуль для прозвонки выводов. Затрата ресурсов в этом случае – минимальна.

На одном из предприятий возникла задача протестировать довольно сложные ПЛИС: Xilinx Virtex-7 XC7VX690T-1FFG11571 и Virtex-7 XC7VX1140T-1FLG1930I. Оба образца поддерживают периферийное сканирование,

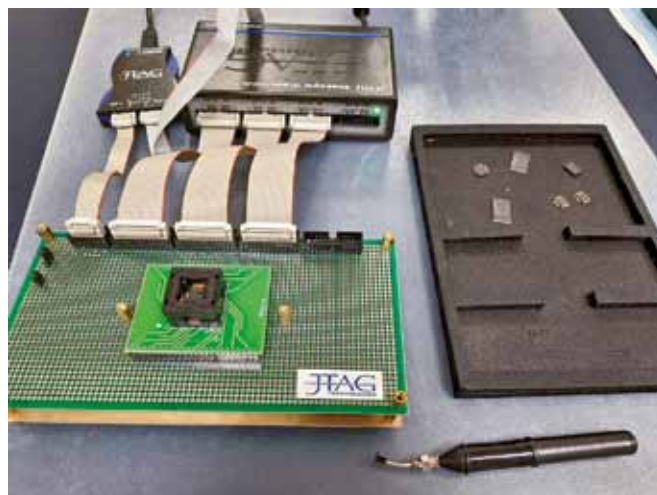


Рис. 3. Опытный стенд для входного контроля микроконтроллеров STM32F100 с помощью периферийного сканирования с использованием JTAG-контроллера JT3705/USB и MOIS-модуля JT5112

что позволяет автоматизированно проверить целостность разварки с помощью реальных электросигналов. Также JTAG-интерфейс предоставляет доступ для средств проектирования ПЛИС. Однако здесь возникает ряд проблем:

- большое количество выводов микросхемы затрудняет использование DIOS-модулей для прозвонки. В теории их должно быть порядка десяти, коммутация при этом будет громоздкой и ненадежной;
- корпус типа BGA требует сложной и надежной оснастки. В данном случае можно сказать, что припаять такую микросхему легче, чем соединить с КУ;
- для сложной системы питания микросхемы требуется не просто КУ с коммутацией выводов на внешние разъемы, когда можно использовать любые макетные платы, а создание платы управления с набором элементов (микросхем, конденсаторов и т. д.).

Компанией «ИнжГрупп» были разработаны два устройства для входного контроля вышеупомянутых микросхем, решающие проблемы, указанные выше. Далее устройства были проверены на образцах ПЛИС в офисе JTAG Technologies с использованием контроллеров периферийного сканирования и программного пакета JTAG ProVision.

Для ПЛИС Xilinx Virtex-7 XC7VX690T-1FFG11571 разработано и изготовлено приспособление EG-X7V690-1157 (рис. 4). Здесь используется КУ для соответствующего типа корпуса с шариковыми выводами с подпружиненными миниатюрными иглами. КУ установлено на плату, обеспечивающую полноценное питание ПЛИС, световую индикацию включения и работы. Все функциональные выводы проверяемой ПЛИС разведены на пять однотипных



Рис. 4. Стенд компании «ИнжГрупп» для входного контроля микросхем Xilinx Virtex-7 XC7VX690T-1FFG11571

Рис. 5. Платы-заглушки для прозвонки межсоединений ПЛИС

164-контактных разъемов. С помощью дополнительно изготовленных плат-заглушек (рис. 5) пользователь может замкнуть между собой контакты микросхемы как одновременно для всех пяти групп, так и по отдельности для каждой группы. Такое решение избавляет от необходимости подключения огромного количества DIOs-модулей. Использование плат-заглушек решает проблему поиска обрывов разварки кристалла и частично – коротких замыканий и перепутываний. В то же время заглушки маскируют часть потенциальных замыканий. Поэтому тест на данной оснастке необходимо запускать два раза: с заглушками и без них. На рис. 6 показан результат теста, автоматически сгенерированного в JTAG ProVision, проводившегося без заглушек.

Для микросхемы в целом, чтобы проверить работу средств периферийного сканирования, было создано несколько тестов:

- тест инфраструктуры JTAG-канала. По сути, в данном тесте проверяется целостность JTAG-интерфейса, работа регистра команд, 32-битный ID-код микросхемы по JEDEC, включающий в себя код производителя, тип микросхемы, версию кристалла. Также в этот тест входит проверка длины регистра сканирования, которая, как правило, у всех микросхем различается;
- тест межсоединений ПЛИС с использованием заглушек из печатных плат. Данный тест

проверяет отсутствие обрывов и перепутываний линий от кристалла к выводам микросхемы;

- тест межсоединений ПЛИС без установленных заглушек. Данный тест призван выявить все возможные КЗ между сигнальными линиями микросхемы;
- тест содержимого регистров, отражающих напряжения питания ядра. Эти регистры доступны через обычный IEEE 1149.1 TAP-порт. Но тест не генерируется автоматически, как предыдущие, а пишется с использованием функций доступа в среде JTAG Functional Test.

Отметим, что на устройстве предусмотрено два JTAG-разъема, которые дублируют друг друга.

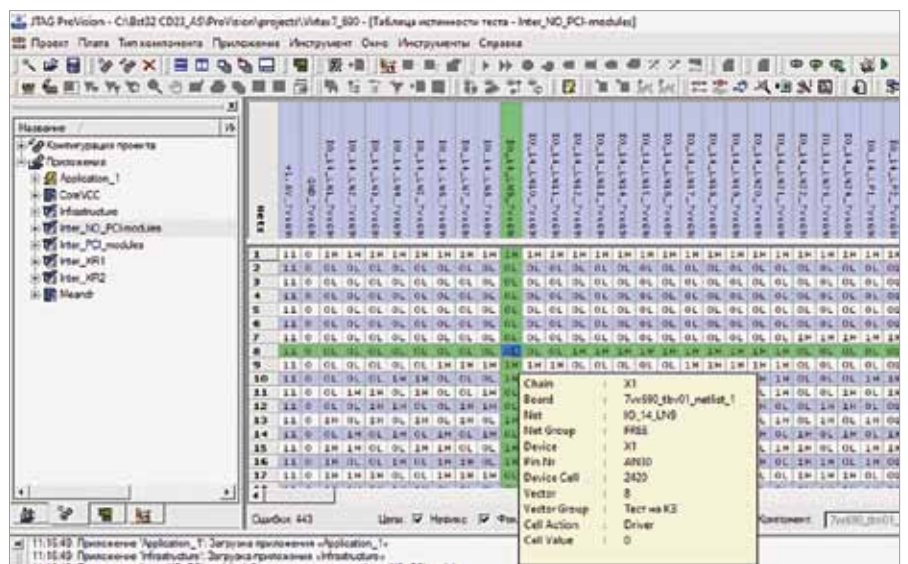


Рис. 6. Результат автоматического теста разварки микросхемы в JTAG ProVision, выполненного без заглушек

Распиновка одного из разъемов соответствует контроллерам JTAG Technologies, дублирующего – программатору Xilinx HW-USB-II-G, что позволяет быстро переключиться на работу с ПО для разработки проектов ПЛИС и их конфигурирования (в данном случае – Xilinx Vivado). Питание устройства осуществляется с помощью сетевого адаптера.

Для проведения испытаний микросхемы XC7VX1140T-1FLG1930I было разработано новое устройство – EG-X7V1140-1930. Данная ПЛИС (рис. 7) имеет еще больше контактов, поэтому вопрос тестирования всех линий здесь решается другим путем: в качестве IO-устройства используется другая, аналогичная и заведомо исправная ПЛИС. Обе микросхемы устанавливаются в механические КУ одного типа. Целиком устройство представлено на рис. 8. Преимущество такого решения над предыдущим – это отсутствие необходимости использования плат-заглушек и двух режимов тестирования: с заглушками и без них. Недостатком является необходимость наличия еще одной полностью исправной микросхемы.

Устройство EG-X7V1140-1930 имеет два JTAG-порта, каждый из которых подключен к соответствующей ПЛИС. Эти два порта, в свою очередь, имеют также дублирующие разъемы для программатора Xilinx. При использовании для периферийного сканирования для одновременного



Рис. 7. Микросхема XC7VX1140T-1FLG1930I, установленная в КУ устройства EG-X7V1140-1930 без крышки

подключения к двум каналам JTAG можно использовать и 2-портовый контроллер JT3705 / USB (как на рис. 8), и два однопортовых контроллера JTAG Live Controller.

Разработанный спектр тестов для обоих устройств по своей сути совпадает. Следует отметить, что конфигурирование (если таковое понадобится для более расширенного функционального тестирования) проверяемых ПЛИС возможно двумя способами. Это можно осуществить с помощью как ПО Xilinx, так и приложения в JTAG ProVision.

Тестирование электроники в эпоху миниатюризации






Хотите узнать больше о наших технологиях и продукции? Свяжитесь с нами по электронной почте russia@jtag.com или посетите наш сайт www.jtag.com.






Более 25 лет в самом сердце электроники



Клиенты в более чем 50 странах



По всему миру продано более 10 000 систем



Более 2500 клиентов



Поддержка по всему миру

Как разрабатывать, производить и тестировать высококачественные электронные изделия с меньшими затратами и в короткие сроки?



Загрузите нашу программу



Рис. 8. Устройство EG-X7V1140-1930 компании «ИнжГрупп» для входного контроля микросхем XC7VX1140T-1FLG1930I

В результате работы были выявлены несоответствия расположения выводов реальной микросхемы заявленным в документации для ПЛИС XC7VX1140T-1FLG1930I. Такие дефекты обнаруживаются в JTAG ProVision в тесте

межсоединений и именуется как «перепутывание» (twist). Данный дефект свидетельствовал скорее о контрафактном происхождении микросхемы, нежели о ее браке или повреждении вследствие неправильного хранения или монтажа.

Представленные решения могут быть использованы на предприятиях радиоэлектронной промышленности для проведения процедуры входного контроля.

Несмотря на то, что в настоящее время при поставке микросхем из ЮВА существует большая вероятность получить микросхемы-пустышки, перекорпусированные или перемаркированные микросхемы, а также поврежденные оригинальные микросхемы, провести их проверку сразу же не представляется возможным. Но подобные тестовые комплексы позволяют проверить соответствие маркировки на корпусе приобретенных ПЛИС их внутреннему содержанию.

ЛИТЕРАТУРА

1. Входной контроль компонентов с поддержкой JTAG: <https://youtu.be/vlzPS4AmEbA>
2. Материалы сайта ООО «ИнжГрупп»: www.eng.group
3. Программный пакет JTAG ProVision: <https://www.jtag.com/ru/product/jtag-provision/>

КНИГИ ИЗДАТЕЛЬСТВА «ТЕХНОСФЕРА»



Цена 920 руб.

ПЛИС И ПАРАЛЛЕЛЬНЫЕ АРХИТЕКТУРЫ ДЛЯ ПРИМЕНЕНИЯ В АЭРОКОСМИЧЕСКОЙ ОБЛАСТИ. ПРОГРАММНЫЕ ОШИБКИ И ОТКАЗОУСТОЙЧИВОЕ ПРОЕКТИРОВАНИЕ

Под ред. Ф. Кастеншмидт, П. Реха

При поддержке АО «Конструкторско-технологический центр «ЭЛЕКТРОНИКА»

Пер. с англ. и научная редакция С. А. Цыбина, к. т. н., АО «КТЦ «ЭЛЕКТРОНИКА»,

А. В. Быстрицкого, к. т. н., АО «КТЦ «ЭЛЕКТРОНИКА»,

А. В. Строгонова, д. т. н., ФГБОУ ВО «ВГТУ», П. С. Городкова, ФГБОУ ВО «ВГТУ»

В книге приводится понятие устранимых ошибок, возникающих в ПЛИС типа ППВМ (FPGA – Field Programmable Gate Array) и графических процессорах. Рассматриваются радиационные эффекты в ПЛИС, отказоустойчивые методы для ПЛИС, применение серийно выпускаемых ПЛИС в авиации и космонавтике, экспериментальные данные о воздействии радиации на ПЛИС, встроенные в ПЛИС процессоры под воздействием радиации и внесение ошибок в ПЛИС.

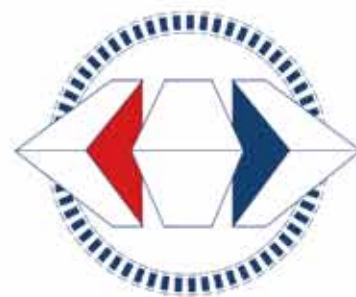
Книга будет полезна не только инженерно-техническим работникам, занимающимся применением серийно выпускаемых ПЛИС в авиации, космонавтике, в приборостроении для транспорта и других критически важных областях народного хозяйства, но и магистрантам, обучающимся по направлению подготовки 11.04.04 «Электроника и наноэлектроника», а также аспирантам, проходящим обучение по направлению подготовки 11.06.01 «Электроника, радиотехника и системы связи».

М.: ТЕХНОСФЕРА,
2019. – 326 с.,
ISBN 978-5-94836-513-8

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 495 234-0110; 📠 +7 495 956-3346; knigi@technosphera.ru, sales@technosphera.ru

10-12
НОЯБРЯ 2021



РОССИЙСКИЙ ПРОМЫШЛЕННИК

XXV МЕЖДУНАРОДНЫЙ ФОРУМ

PROMEXPO.EXPOFORUM.RU

РАЗДЕЛЫ:

- МАШИНОСТРОЕНИЕ
- АВТОМАТИЗАЦИЯ
- СОВРЕМЕННЫЕ МАТЕРИАЛЫ
- МЕТАЛЛООБРАБОТКА
- ПРИБОРОСТРОЕНИЕ
- РЕГИОНЫ РОССИИ

КОНГРЕССНО-ВЫСТАВОЧНЫЙ ЦЕНТР
ЭКСПОФОРУМ
САНКТ-ПЕТЕРБУРГ, ПЕТЕРБУРГСКОЕ ШОССЕ, 64/1

ОРГАНИЗАТОР

EXPOFORUM

ГЕНЕРАЛЬНЫЙ
МЕДИАПАРТНЕР


САНКТ-ПЕТЕРБУРГ
СПИДКАНАЛ

12+