

Новое поколение решений для корпусирования интегральных схем

К. Фелтон¹, Д. Вертянов, к. т. н.², С. Евстафьев, к. т. н.³, В. Сидоренко⁴

УДК 004.9:621.3 | ВАК 05.13.12

Это первая часть статьи, в которой обсуждается, почему современные, передовые технологии корпусирования интегральных схем (ИС) требуют нового подхода к процессу проектирования – от предварительного планирования корпуса и формирования прототипа до создания проекта, верификации, валидации, технологической подготовки к производству и виртуальных испытаний. Данные публикации познакомят с концепцией цифрового двойника: электронной виртуальной моделью разрабатываемого изделия, позволяющей осуществлять совместное комплексное проектирование на каждом этапе его разработки.

Поддерживать закон Мура становится все труднее, поэтому микроэлектронной промышленности приходится обращаться к инновационным технологиям корпусирования, микросборок для выполнения требований к масштабированию систем и достижению более низкой себестоимости продукции.

Системам на кристалле (СНК) и заказным ИС необходимо постоянно обращаться к памяти. Традиционно, кристаллы памяти применяются в отдельных корпусах, соединенных с СНК или ИС печатной платой, на которой они смонтированы. Но современные скорости передачи сигналов и данных в сочетании с необходимостью малого энергопотребления и низкого тепловыделения требуют, чтобы память располагалась в том же корпусе, что и СНК / ИС. Это позволит сократить длину пути, преодолеваемого сигналами, и оптимизировать параметры соединений. Интеграция нескольких функциональных изделий в один корпус также снижает размеры системы, сокращает производственные затраты и, как правило, повышает качество и надежность.

Таким образом, многокристальная разнородная (гетерогенная) и однородная (гомогенная) сборка кристаллов остается перспективным подходом More than Moore («Больше, чем Мур») для уменьшения геометрических размеров и увеличения функциональности электронных устройств, а также проверенным способом интеграции

нескольких кристаллов, изготовленных по различным технологическим процессам (рис. 1).

Технологии гетерогенной интеграции предлагают решения по расширению функциональности электронных устройств, их более быстрому выходу на рынок и устойчивости к проблемам, связанным с выпуском годных кристаллов. В настоящее время существует ограниченное количество сквозных технологических платформ (например, Xpedition IC Packaging от Mentor, A Siemens Business), которые позволяют оптимизировать размеры, производительность, энергопотребление и стоимость для того, чтобы продукция удовлетворяла потребностям различных рынков: мобильным вычислениям, автомобильному, HPC, AR / VR, AI, IoT, медицинскому, аэрокосмическому и 5G / 6G.

ПРИМЕНЕНИЕ ПЕРЕДОВЫХ ТЕХНОЛОГИЙ КОРПУСИРОВАНИЯ СТАВИТ НОВЫЕ ЗАДАЧИ

Применение передовых технологий корпусирования создает серьезные проблемы для инженеров, использующих традиционные программные средства и методологии проектирования. Команды разработчиков должны работать сообща, чтобы проверить и оптимизировать всю систему, а не только отдельные ее части. Обычный проект подложки для корпуса ИС, как правило, очень похож на небольшую печатную плату, созданную по технологии ламинирования и / или наращивания слоев (аддитивных технологических процессов). Данные подложки часто изготавливаются общеизвестными производителями печатных плат и обычно проектируются с использованием доработанными под свои требования программными средствами для печатных плат.

Напротив, современные передовые корпуса используют в своей конструкции материалы, процессы

¹ Mentor, A Siemens Business, маркетинг менеджер в области корпусирования, ru_soft@mentor.com.

² Институт НМСТ НИУ МИЭТ, руководитель УНЦ, vdv.vertyanov@gmail.com.

³ Институт НМСТ НИУ МИЭТ, доцент, madcatse@gmail.com.

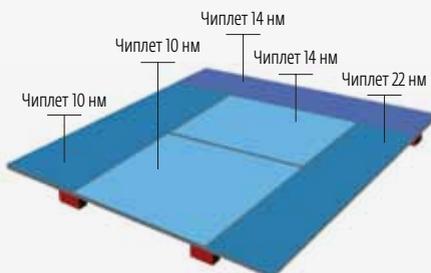
⁴ АО «ЗНТЦ», руководитель центра корпусирования и 3D-сборки микросхем, sidorenko@zntc.ru.

Монолитное исполнение

Интеграция функций на одном кристалле для обеспечения высокой производительности на одной кремниевой технологии

**2D-интеграция**

Объединение ИС, созданных в рамках отдельных процессов, в единый корпус с помощью Intel EMIB. Помогает повысить производительность, оптимизировать энергопотребление, стоимость и сократить время выхода изделия на рынок

**3D-интеграция**

Все преимущества 2D-интеграции плюс новый уровень плотности благодаря Foveros, позволяющие радикально перестроить архитектуру систем-на-кристалле

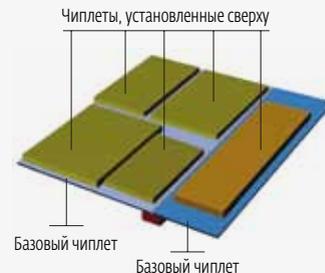


Рис. 1. Передовые технологии двумерной и трехмерной сборки позволяют разработчикам полупроводниковых приборов гибко осуществлять коммутацию кристаллов микросхем, оптимизированных под типовые технологические процессы, в соответствии с требованиями широкого диапазона применений, энергопотребления и конструктивных параметров (изображение предоставлено компанией Intel)

и технологии производства, которые все чаще встречаются в кремниевом производстве и требуют нового подхода к проектированию, который оказывает влияние на разработчиков, их программные средства и применяемые ими методики (рис. 2).

Одна из первых задач, которую должна решать команда разработчиков – это безошибочная и точная коммутация всех подложек в корпусе. При этом подложки могут быть как активными, так и пассивными, а также дискретными компонентами. Подложки и элементы / компоненты

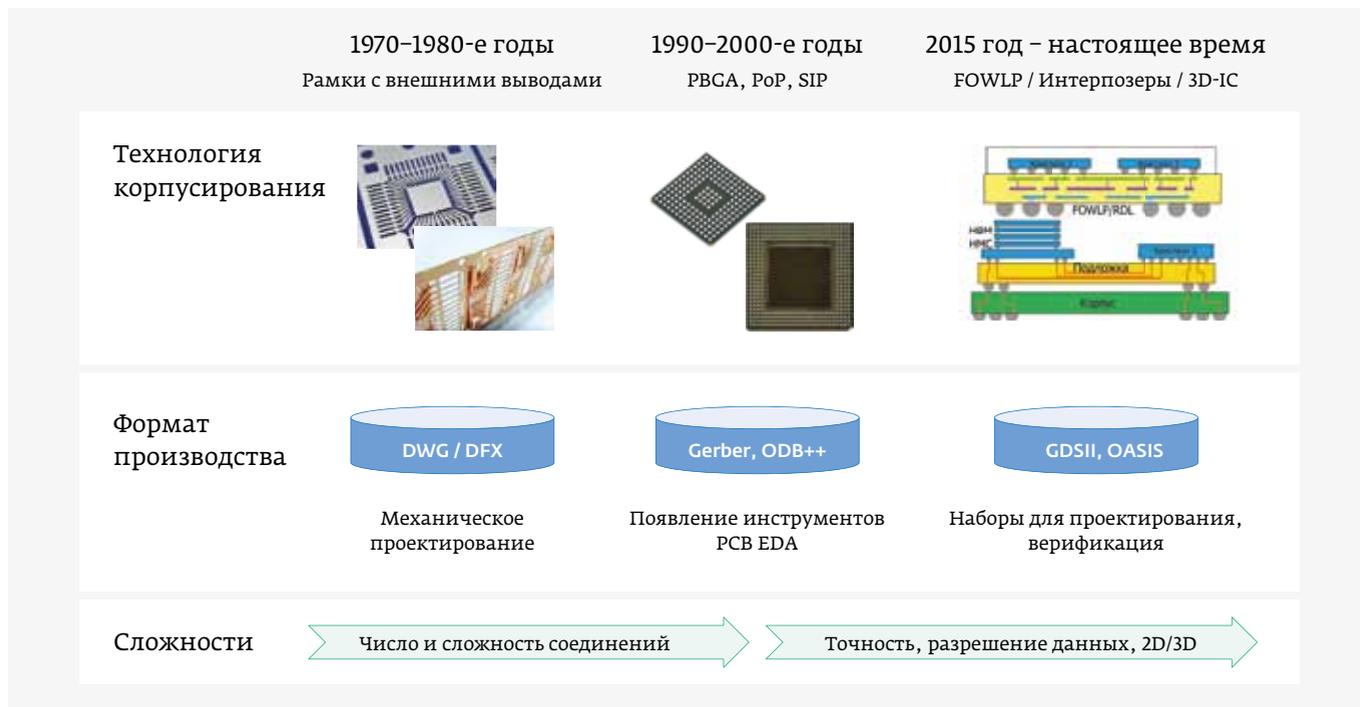


Рис. 2. Программные средства для проектирования корпусов, микросборок занимают промежуточное место в квалификации САПР электроники

поступают от различных производителей и поставщиков и, как правило, доступны в нескольких и часто различных форматах.

СОЗДАНИЕ ЦИФРОВОГО ДВОЙНИКА

Таким образом, очевидно, что данные передовые корпуса ИС должны опираться на комплексную интегрированную систему, включающую необходимые программные решения для работы с кристаллами, подложками и поддерживающие современные технологии и процесс сборки, тестирования. С учетом большого разнообразия источников данных и форматов ясно, что необходим комплексный маршрут верификации – такой, который учитывает физическую проверку на уровне корпуса, а также более глубокую, на уровне системы, электрическую верификацию, проверку под нагрузкой и проверку пригодности к испытаниям. В то же время расширенная поддержка программных решений EDA необходима для обеспечения быстрых, точных, автоматизированных процессов проектирования, которые гарантируют, что разработчики корпусов могут выдерживать свои календарные сроки выхода изделий на рынок и обеспечивать ожидаемый объем производства. В идеале эти маршруты должны обеспечивать единый интегрированный процесс анализа электрических параметров, физических воздействий и испытаний, основанный на трехмерной цифровой модели (или цифровом двойнике) гетерогенной системы в корпусе (рис. 3).

Подводя итог вышеизложенному, можно сказать, что современные корпуса ИС нуждаются в маршруте проектирования следующего поколения, в котором будет реализовано следующее:

- цифровое прототипирование;
- интеграция нескольких различных программных сред проектирования;
- масштабируемость и широкий спектр возможных решений;
- передача данных о проекте для безошибочного производства;
- наличие статуса «золотого стандарта».

Создание цифрового двойника (виртуальной модели) 2,5D/3D гетерогенной микросборки обеспечивает всестороннее представление всей системы, состоящей из нескольких функциональных элементов и подложек. Построение модели требует умения собирать и обобщать данные из различных сред проектирования и в различных форматах и формировать из них целостное

системное представление, подходящее для реализации проверки и анализа.

Такие программные решения, как Xpedition Substrate Integrator от Mentor, A Siemens Business, могут импортировать и управлять многочисленными базами данных, содержащими сведения о гетерогенной микросборке (рис. 4).

Как правило, это делается с использованием стандартных отраслевых форматов, таких как LEF/DEF-, AIF-, GDS- или CSV/TXT-файлов. Также должен существовать функционал, который автоматически распознает интерфейсы активных элементов и подложек без необходимости введения в проект псевдокомпонентов. Это позволяет проводить многопользовательское асинхронное проектирование: части проекта могут разрабатываться разными командами в разные сроки и даже находиться в разных географических местах. С помощью цифрового двойника каждая команда может спроектировать и проверить свою часть в контексте всей системы, несмотря на то, что проектные работы других команд еще не завершены. Это обеспечивает общий успех проекта, когда все части будут завершены и интегрированы между собой.

Одно из главных преимуществ использования цифрового двойника заключается в том, что он служит «золотым стандартом» для проведения операций по верификации и анализу. Это устраняет необходимость использования нескольких статических электронных таблиц для представления информации о контактах и соединениях, заменяя их полным, системным списком цепей (нетлистом) в формате Verilog, что обеспечивает полную физическую и электрическую проверку на каждом уровне иерархии процесса проектирования

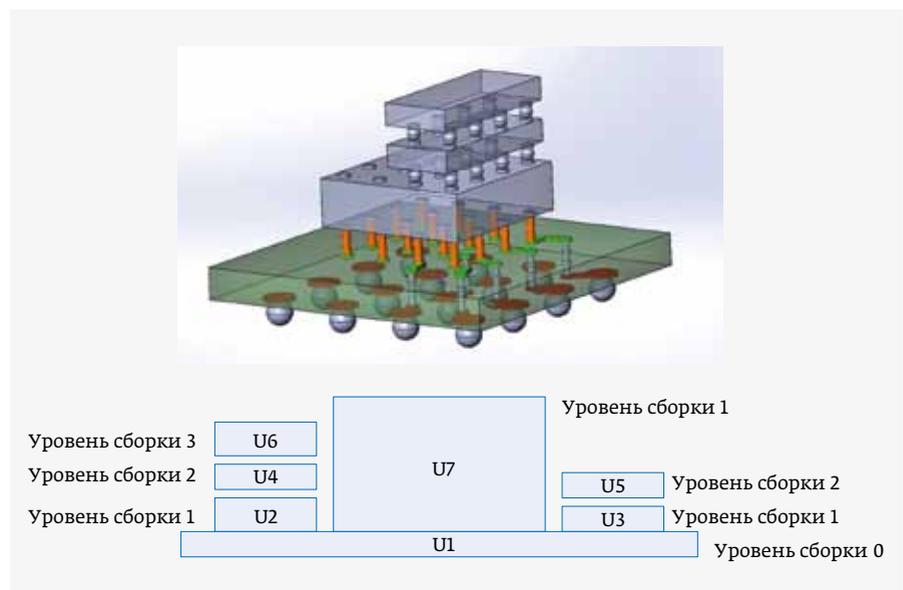


Рис. 3. Виртуальный цифровой двойник или модель системы в корпусе

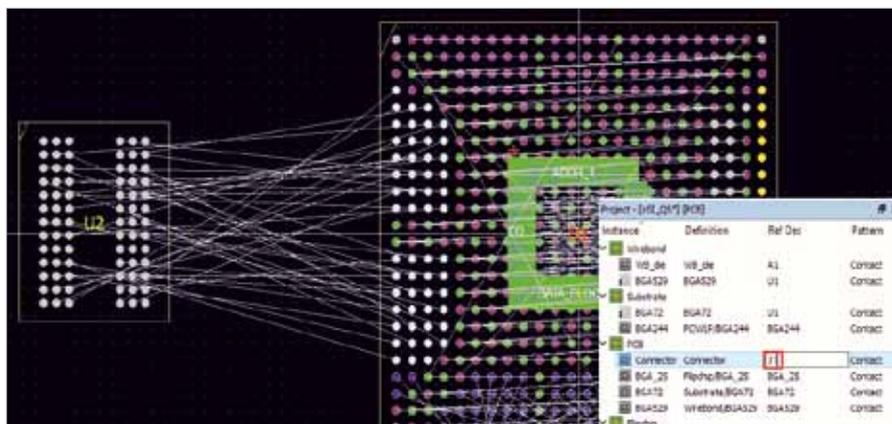


Рис. 4. Фрагмент процесса создания виртуальной модели цифрового двойника гетерогенной микросборки

(кристалла, интерпозера, встроенных высокоинтегрированных фрагментов коммутации из кремния и подложек для корпусов).

Цифровой двойник позволяет автоматически проверять гетерогенные сборки, начиная с DRC (Design-Rule-Checking) – проверок по соблюдению конструктивно-технологических ограничений на уровне подложки, и заканчивая LVS (Layout Versus Schematic) – проверок на соответствие топологии электрической схеме, LVL (Layout Versus Layout) – проверок соответствия топологии, экстракцией паразитных параметров (PEX), механическим и тепловым анализом и, наконец, испытаниями. Сочетание цифрового двойника с промышленной стандартизацией и автоматизацией программных решений EDA привело к началу применения унифицированного подхода к обеспечению проверенных, квалифицированных процессов проектирования для автоматизированной гетерогенной верификации.

СПИСОК ЦЕПЕЙ ЦИФРОВОГО ДВОЙНИКА

После того, как все элементы, компоненты были правильно внесены в проект, следующим и не менее важным этапом являются создание и определение списка цепей (нетлиста) верхнего уровня цифрового двойника изделия. Крайне важно подготовить его правильно, так как он будет использоваться для многоуровневой верификации конечного, собранного изделия.

Сохранение и повторное использование оригинальных данных, таких как описание устройства на языке Verilog, является при этом ключевым моментом.

Наибольший риск возникает при экспорте или преобразовании проекта цифрового двойника, например, в схему или электронную таблицу. Если это происходит, то «цифровой маршрут» тут же прерывается, и многократно возрастает вероятность появления ошибок межсоединений, что подтверждает компания eSilicon [5].

КОМПОНОВКА / ПЛАНИРОВАНИЕ КОРПУСА

После подготовки нетлиста цифрового двойника изделия проект может перейти в стадию компоновки, планирования корпуса. Это больше, чем просто 2D-размещение кристалла и дискретных элементов. Внутри современных корпусов ИС часто располагается несколько функциональных элементов, соединенных между собой. Подложка с выводами типа BGA служит средством коммутации элементов, но есть также, как правило, полноразмерные или в виде отдельных фрагментов интерпозеры, что позволяет считать корпус полно-

ценной 2,5/3D-микросборкой. Этап компоновки включает в себя рассмотрение и оптимизацию множества требований – обычно, начиная с оптимизации входов / выходов, контактных площадок, бампов и шариковых выводов кристаллов, интерпозеров с учетом возможности трассировки, назначения интерфейсов, целостности сигналов, электропитания, тепловых характеристик и проведения виртуальных испытаний.

За этапом планирования и компоновки корпуса следует стадия детальной разработки, который также должен тщательно следовать выбранным производителем правилам и ограничениям. Это может вызвать определенные трудности, если планируется своими силами выполнять полный цикл разработки всех составляющих частей системы. При этом возможна передача на аутсорсинг процесса изготовления, сборки и тестирования различным организациям – поставщикам услуг. Например, современный и сложный корпус, содержащий кремниевый интерпозер, который будет изготовлен производителем интегральных схем, а затем смонтирован на органическую подложку типа BGA, где корпус типа BGA и вся окончательная сборка выполняется OSAT-компаниями.

При этом может возникнуть соблазн поручить поставщикам услуг выполнение за вас всех проектных работ, но иногда это может быть связано с вынужденной необходимостью. Например, для производителя обычно целью номер один является выход годных изделий, а для разработчика это может быть производительность или низкое энергопотребление. В этом случае разработчику необходимо передать производителю техническую документацию с методиками измерений и контроля ключевых электрических параметров после выполнения отдельных технологических операций, а также передать на аутсорсинг тестирование готового изделия.



Рис. 5. Оптимизация элементов системы в корпусе/микросборке при совместном проектировании

Еще один фактор, который следует учитывать при передаче проекта сборки на аутсорсинг, это право собственности на полученный в результате реализации проект, так же как и базы данных с информацией по топологии и размещению элементов/компонентов. Часто полупроводниковые фабрики и OSAT-компании не предоставляют их своим клиентам, по крайней мере, до тех пор, пока не будет согласован определенный уровень производства продукции. И даже в этом случае никто не дает гарантии. Для этого есть множество причин, но к двум основным относятся: 1) нежелание того, чтобы разработчики продавали проект тем, кто согласится производить или собирать изделие дешевле, 2) при анализе проекта конкуренты смогут выяснить их правила проектирования и технологические ограничения. Обычно фабрика или OSAT-компания предоставляют данные, которые могут быть использованы для верификации, обычно в формате GDSII или ODB++, также, но крайне редко, они передают исходные файлы, выполненные в САПР.

* * *

Для большинства областей применения корпуса ИС, микросборки нового поколения являются лучшим способом достижения масштабирования систем, функциональной плотности, уменьшения габаритных размеров корпуса и гетерогенной интеграции. Данный тип корпусов также очень отличается от традиционных корпусов на основе органических подложек типа BGA с монтажом кристаллов по методу flip-chip и, как следствие, нуждается в совершенно ином подходе к проектированию и верификации на всех стадиях, начиная с использования виртуальной модели цифрового двойника, которая определяет все аспекты разработки и верификации, даже если используются различные средства проектирования.

ЛИТЕРАТУРА

1. **Ramadan T.** Crossing the chasm: Bringing SoC and package verification together with Calibre 3DSTACK. Mentor, a Siemens business. January 2017. <https://go.mentor.com/4QLSO>.
2. **Petranovic D. and Chow K.** 3D-IC system verification methodology: solutions and challenges. Electronic Design Process Symposium, April 2011. <https://www.researchgate.net/publication/268208901> 3D-IC System Verification Methodology Solutions and Challenges.
3. **Ramadan T.** Package designers need assembly-level LVS for HDAP verification. Mentor, a Siemens business. December 2017. <https://go.mentor.com/4WDVj>.
4. **Decoin C. and Kourkoulos V.** Fast and accurate extraction of 3D-IC layout structures // Mentor, a Siemens business. July 2012.
5. **Mastroianni T.** eSilicon tackles the challenges of advanced IC package design using Xpedition Substrate Integrator and Calibre 3DSTACK // May 2019. <https://go.mentor.com/58xrP>.
6. Amkor Delivers Industry's First Package Assembly Design Kit to Support Mentor's High-Density Advanced // Packaging Tools July 2018. <https://ir.amkor.com/news-releases/news-release-details/amkor-delivers-industrys-first-package-assembly-design-kit>.
7. **Райнболд К., Фелтон К., Вертянов Д., Никеев К.** Проектирование многокристалльных модулей и систем в корпусе // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2020. № 2. С. 144–150.
8. **Фергусон Дж., Вертянов Д., Фелтон К., Беляков И., Евстафьев С., Сидоренко В., Горшкова Н.** Проектирование корпусов и микросборок по технологии FO WLP средствами САПР Mentor Graphics. Часть 2 // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2021. № 5. С. 126–135.



ИЗДАТЕЛЬСТВО «ТЕХНОСФЕРА» ПРЕДСТАВЛЯЕТ СЕРИЮ КНИГ «МИР РАДИОЭЛЕКТРОНИКИ»

Уникальность этой серии в том, что в редакционный совет вошли крупнейшие специалисты в данной области, которые в силу своих профессиональных обязанностей хорошо представляют как направление развития современных технологий, так и их востребованность в нашей стране. Члены редакционного совета принимают участие и в отборе книг для серии, и в научном редактировании, обеспечивая их высокий уровень. В настоящий момент в серии вышло более 30 книг.



Издательство «ТЕХНОСФЕРА» совместно с Департаментом РЭП Минпромторга РФ приглашает руководителей и специалистов предприятий радиоэлектронной промышленности к участию в издании серии «Мир радиоэлектроники».



Если у Вас есть желание издать свою книгу или принять участие в научном редактировании переводного издания, направляйте Ваши предложения по адресу redsovet_knigi@electronics.ru

Как заказать наши книги?

По почте: 125319, Москва, а/я 91
По факсу: +7 495 956-33-46
E-mail: knigi@technosphera.ru
sales@technosphera.ru

ИНФОРМАЦИЯ О НОВИНКАХ
www.technosphera.ru