

Разработка функциональной схемы 8-разрядного АЦП последовательного приближения в САПР OrCAD с использованием макромоделей

А. Строгонов, д. т. н.¹, Ю. Худяков, к. т. н.², М. Белых³

УДК 004.4 | ВАК 05.13.12

Моделирование электрических схем с применением современных САПР позволяет исследовать работу схемы без необходимости изготовления прототипа. Для изучения принципов работы 8-разрядного АЦП последовательного приближения в учебном пособии [1] предлагается собрать и опробовать схему с использованием ИС средней степени интеграции на основе ТТЛ- или КМОП-логики, ЦАП DAC08 и компаратора 311. В статье рассмотрен пример реализации и доработки описанной в [1] функциональной схемы АЦП последовательного приближения в САПР OrCAD с использованием макромоделей ИС серий 74 (ТТЛ) и 74НС (КМОП).

Алгоритм последовательной аппроксимации (приближения) состоит в тестировании каждого бита 8-разрядного регистра последовательного приближения как в значениях логического 0, так и логической 1, начиная со старшего значащего разряда (СЗР) и заканчивая младшим значащим разрядом (МЗР). Изначально каждый бит D-триггера 8-разрядного регистра принимает значение логического 0, а затем в СЗР бит устанавливается равным 1. Если напряжение на выходе ЦАП превышает аналоговое входное напряжение, бит возвращается в 0, в противном случае он остается равным 1.

Логическая часть схемы АЦП реализована на JK-триггерах 74112, 4-разрядном реверсивном двоичном счетчике 74191 с возможностью загрузки параллельным кодом и дешифраторе 3×8 74138 и вспомогательная схема управления на логических элементах (рис. 1). Схема приводится в том виде, как она представлена в работе [2] – оригинальном издании учебного пособия [1]. Дешифратор 74138 (обеспечивает код на выходе «1 из 8») направляет тактовые импульсы на каждый триггер по очереди. Компаратор на ОУ 311 сравнивает выходной сигнал ЦАП с аналоговым входом, а его

выход подключен к D-входу каждого триггера. DAC080x – это ЦАП с потребляемым током, поэтому его выходной сигнал становится более отрицательным, когда цифровой вход увеличивается от 0 до 255 (в инструкции на применение DAC0808 National Semiconductor приводится типовая схема включения ЦАП с токовым выходом с ОУ LF351 в инвертирующем включении). Связка «ЦАП – ОУ» обеспечивает отрицательную обратную связь: если выход ЦАП слишком отрицательный, текущий адресуемый бит устанавливается в 0, чтобы повысить выходное напряжение ЦАП; если выход ЦАП слишком положительный, бит устанавливается в 1, чтобы его понизить.

Разработаем проект АЦП в САПР OrCAD. Для этого JK-триггер 74 серии 74112 заменим на аналогичный JK-триггер 74НС107 серии 74НС. Счетчик 74191 заменим на 74НС191, а дешифратор 3×8 74138 – на 74НС138. В логической части схемы откажемся от управления асинхронными сбросами JK-триггеров с помощью логических элементов (рис. 2). Для завершения процесса преобразования будем использовать выходной сигнал MAX/MIN счетчика 74НС191. Таким образом, полный цикл преобразования будет совершаться за 16 тактов синхросототы.

Для того чтобы по выходам дешифратора 74НС138 «побежал» логический 0 (активный низкий уровень сигнала), необходимо входы сконфигурировать следующим образом: вход G1 подключить к выходу JK-триггера U36B, который связан с сигналом загрузки \overline{LOAD} (активный низкий) счетчика 74НС191, а два других входа, $\overline{G2A}$ и $\overline{G2B}$, заземлить.

Для реализации механизма последовательных приближений необходимо в схему из [1] внести некоторые изменения. А именно, доработаем D-триггер 7474, тактируемый

¹ Воронежский государственный технический университет, профессор кафедры полупроводниковой электроники и нанoeлектроники, тел. +7 910 247-14-70, andreistrogonov@mail.ru.

² Воронежский государственный технический университет, доцент кафедры радиоэлектронных устройств и систем, тел. +7 950 768-45-88, jura.hudakov@yandex.ru.

³ Воронежский государственный технический университет, аспирант кафедры полупроводниковой электроники и нанoeлектроники, тел. +7 920 524-58-90, belykh.maks@yandex.ru.

передним фронтом синхроимпульса, таким образом, чтобы он превратился в D-триггер с асинхронным входом разрешения e (enable) записи информационного сигнала (рис. 3). Для этого на вход D подключим мультиплексор 2×1 . Вход e подключим к «питанию» (не будем использовать), а записанную в триггер информацию снимем с инверсного выхода Q. Наличие входа разрешения записи информации в триггер обеспечивает возможность дальнейшей модернизации схемы АЦП, поскольку тактирование выходами дешифратора не является хорошим решением, а используется скорее для демонстрации принципов работы схемы. Например, вместо связки счетчик-дешифратор можно было бы использовать сдвиговый регистр. В этом случае все триггеры в проекте тактировались бы одним синхросигналом.

Далее создадим иерархический блок dff и организуем 8-разрядный параллельный регистр. На информационные входы триггеров dff будем подавать выходной сигнал с компаратора, а на синхросигналы триггеров подключим выходы дешифратора 3×8 (рис. 4).

Для правильного формирования результата регистром необходимо на инверсные выходы восьми триггеров dff подключить один из входов логических элементов 2И-НЕ, а на вторые входы – выходы дешифратора. Далее объединим восемь триггеров и «обрамляющую» логику на элементах 2И-НЕ в иерархический блок reg8 и назовем его «регистром последовательных приближений» (РПП), точнее, его надо было бы назвать регистр формирования результата (см. рис. 4). Такое решение позаимствуем из работы [3].

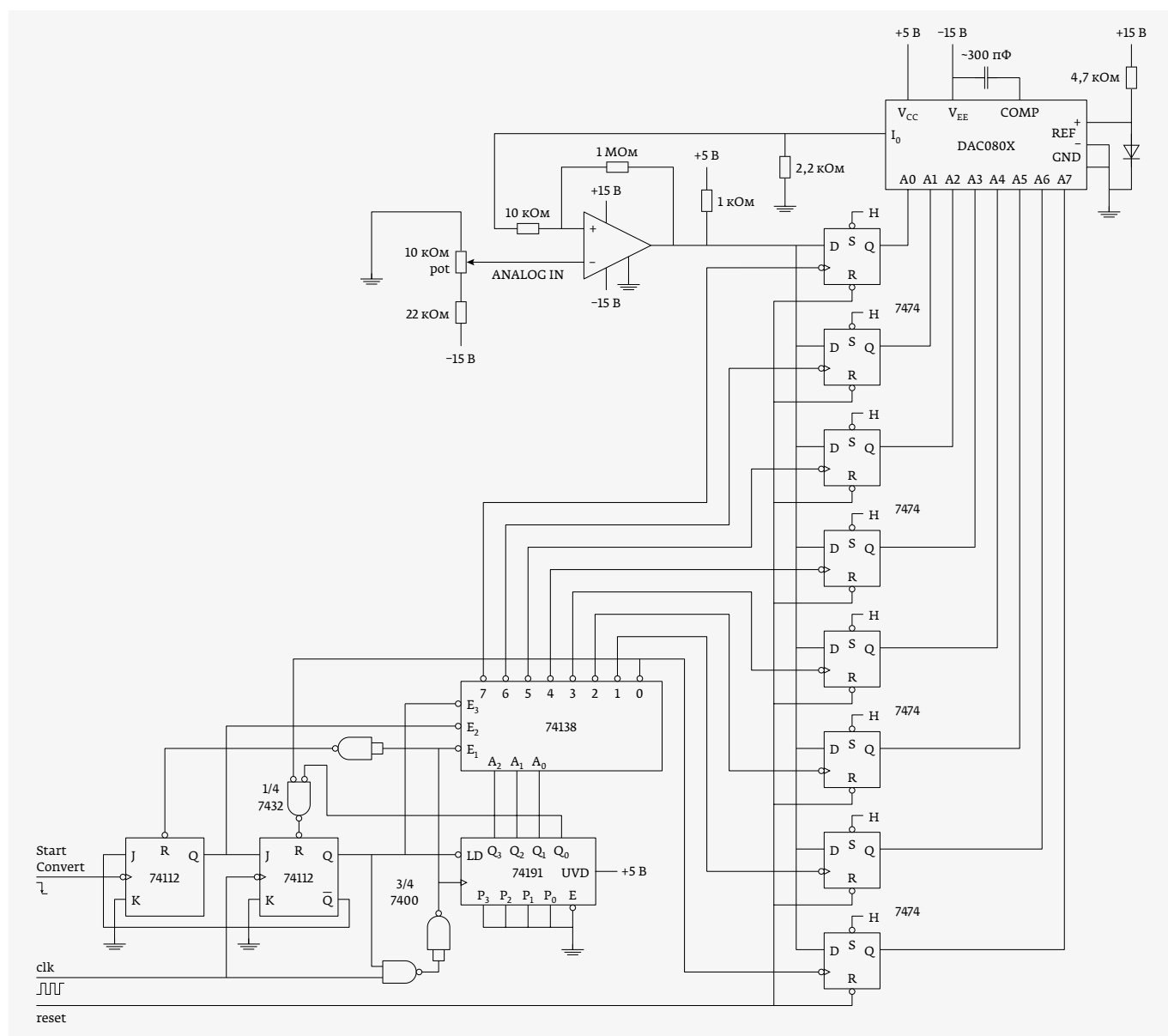


Рис. 1. Функциональная схема АЦП из работы [2]

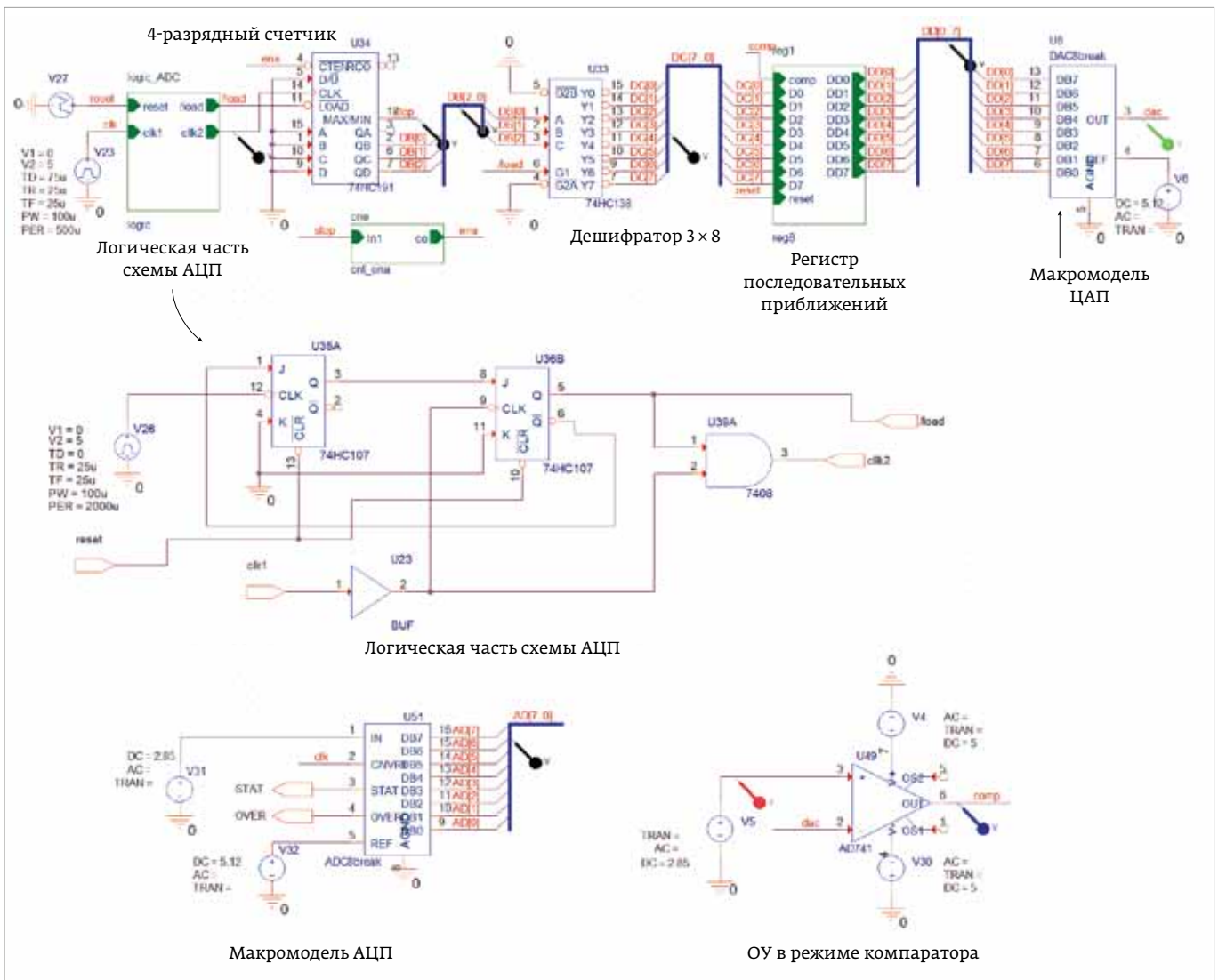


Рис. 2. Проект АЦП последовательного приближения в САПР OrCAD

Выходы РПП подключаются к ЦАП на основе макромодели DAC8break с опорным напряжением $V_{ref} = 5,12$ В в следующем порядке: DD[0] – старший значащий разряд (СЗР), DD[7] – младший значащий разряд (МЗР). Аналоговый выходной сигнал ЦАП dac подключен к компаратору на основе макромодели ОУ AD741 (два источника опорного напряжения 5 и –5 В), на другой вход которого подключен сигнал, подлежащий преобразованию в цифровой код (см. рис. 2).

Для проверки правильности работы разработанного АЦП используем макромодель параллельного АЦП ADC8break с опорным

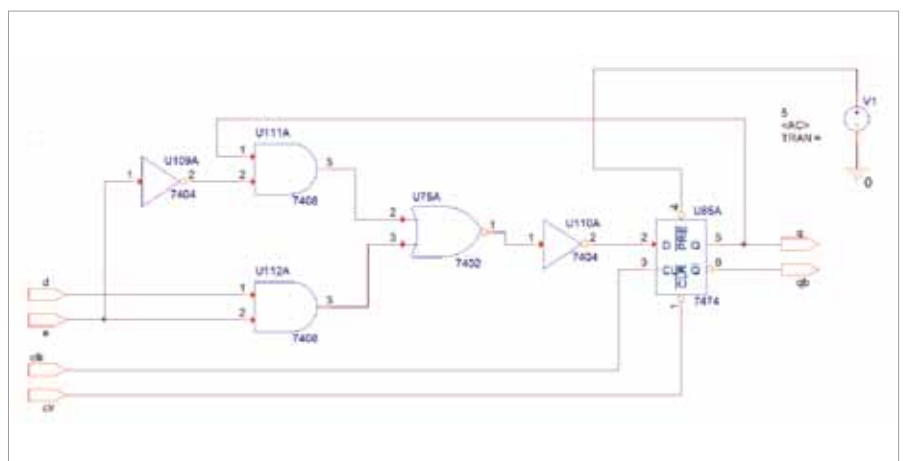


Рис. 3. D-триггер, тактируемый фронтом синхримпульса, с асинхронным входом разрешения записи

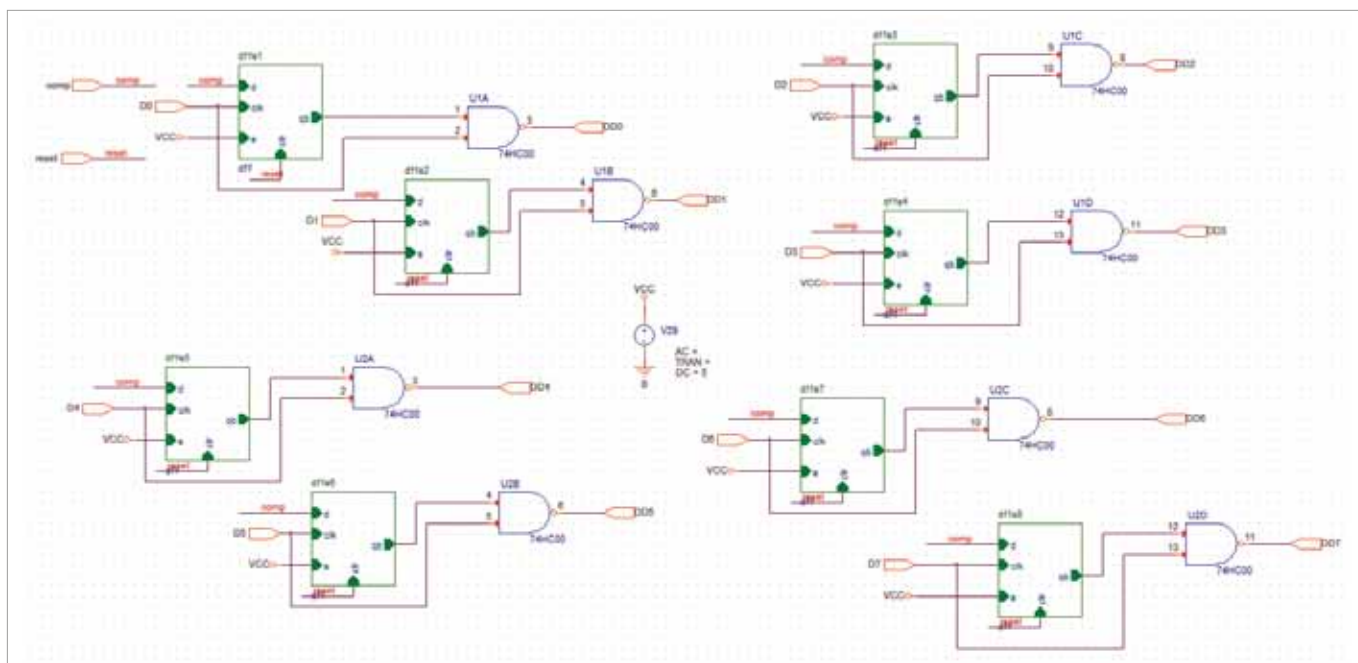


Рис. 4. Регистр последовательных приближений

напряжением 5,12 В, которая выдает оцифрованный аналоговый сигнал за один такт синхроимпульса.

Продemonстрируем принцип работы АЦП на примере преобразования аналогового напряжения 2,85 В в цифровой код (табл. 1, рис. 5). В верхней части рис. 5 (в верхнем окне для вывода цифровых сигналов) показан двоичный код на 8-разрядном РПП (шина DD[7..0] и битно DD0, ... DD7) в процессе преобразования аналогового

сигнала в цифровой код. А в нижней части рис. 5 (в нижнем окне для вывода аналоговых сигналов) показаны выходной сигнал ЦАП, компаратора и оцифровываемый входной сигнал. Моделирование показало, что цифровые коды на выходах двух АЦП при преобразовании аналогового напряжения 2,85 В в цифровой код совпадают и составляют 8F.

На рис. 6 показаны временные диаграммы преобразования аналогового напряжения 4 В в цифровой код.

Таблица 1. Работа АЦП последовательного приближения при преобразовании аналогового напряжения 2,85 В в цифровой код при опорном напряжении 5,12 В

Двоичный код на 8-разрядном РПП DD[0] (СЗР)...DD[7] (МЗР)	Напряжение от ЦАП, В	Аналоговое входное напряжение, В	Относительное изменение напряжения ЦАП, В
10000000 (80 HEX)	2,56 ($V_{ref}/2$)	2,85	0,29
11000000 (C0 HEX) (сброс DD[1], DD[1]=0)	3,84 ($V_{ref}/2 + V_{ref}/4$)	2,85	-0,99
10100000 (A0 HEX) (сброс DD[2], DD[2]=0)	3,2 ($V_{ref}/2 + V_{ref}/8$)	2,85	0,337
10010000 (90 HEX) (сброс DD[3], DD[3]=0)	2,88 ($V_{ref}/2 + V_{ref}/16$)	2,85	0,195
10001000 (88 HEX)	2,72 ($V_{ref}/2 + V_{ref}/32$)	2,85	-0,03
10001100 (8C HEX)	2,8 ($V_{ref}/2 + V_{ref}/32 + V_{ref}/64$)	2,85	0
10001110 (8E HEX)	2,84 ($V_{ref}/2 + V_{ref}/32 + V_{ref}/64 + V_{ref}/128$)	2,85	0,01
10001111 (8F HEX)	2,86 ($V_{ref}/2 + V_{ref}/32 + V_{ref}/64 + V_{ref}/128 + V_{ref}/256$)	2,85	-0,01
Окончательный результат: 10001111 (8F HEX)			

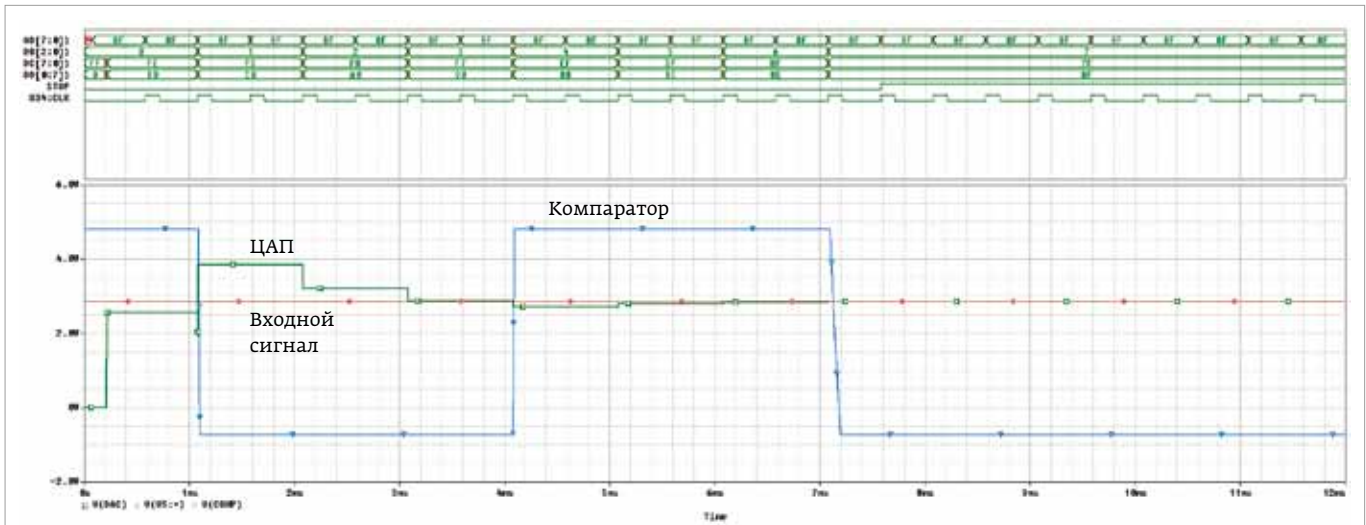


Рис. 5. Временные диаграммы преобразования аналогового напряжения 2,85 В в цифровой код 8F HEX

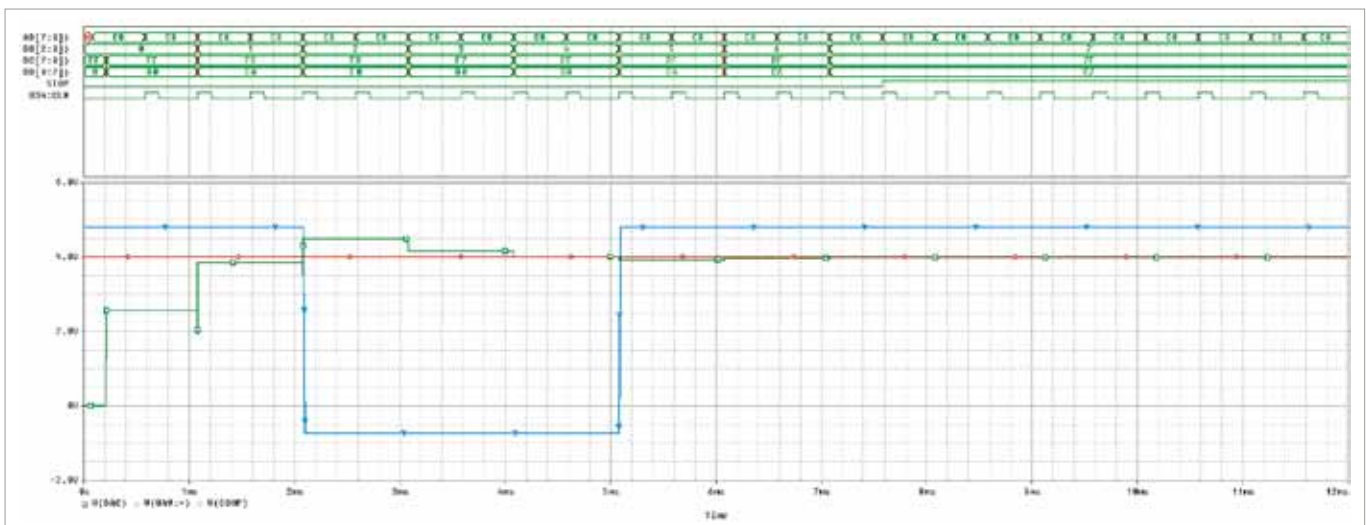


Рис. 6. Временные диаграммы преобразования аналогового напряжения 4 В в цифровой код C7 HEX

Макромодель АЦП ADC8break выдает код C8 (200 DEC), а доработанная схема АЦП – код C7 (199 DEC). Это говорит о том, что доработанная схема, в отличие от идеальной макромодели ADC8break, имеет незначительную погрешность преобразования.

ЗАКЛЮЧЕНИЕ

В случае реализации предложенной в [1] схемы в САПР OrCAD необходимо предусмотреть логику формирования результата работы регистра последовательного приближения. Доработанный вариант АЦП способен преобразовать входное напряжение в цифровой код за 16 тактов синхростоты (восемь внутренних циклов при тактировании РПП выходами дешифратора 74НС138). Работа АЦП протестирована в диапазоне входных напряжений от 0,1 до 4,9 В.

Доработанный вариант схемы АЦП последовательного приближения может быть использован для изучения основ аналого-цифрового преобразования в САПР OrCAD без использования макетной платы.

ЛИТЕРАТУРА

1. **Каплан Д., Уайт К.** Практические основы аналоговых и цифровых схем. М.: ТЕХНОСФЕРА, 2006. 176 с.
2. **Kaplan D. M., White C. G.** Hands-On Electronics. A Practical Introduction to Analog and Digital Circuits. Cambridge university press, 2003 // www.cambridge.org/9780521815369.
3. **Строгонов А.** Изучение принципов работы ЦАП и АЦП с помощью средств смешанного аналого-цифрового моделирования САПР OrCAD // Компоненты и технологии, 2007. № 11. С.137–143.

20 ЛЕТ
СОЗДАЕМ
ИННОВАЦИИ



STE ICP200

- ICP-RIE
- RIE
- ICP PECVD
- PECVD

Универсальная технологическая платформа для проведения процессов плазмохимического травления и осаждения на подложках до Ø200 мм



 **SemiTEq**

Закрытое акционерное общество
«Научное и технологическое оборудование»

ЗАО «НТО»
пр. Энгельса, 27, Санкт-Петербург, 194156, Россия
Тел.: +7 812 601 06 05, факс: +7 812 313 54 29
sales@semiteq.ru www.semiteq.ru